ウェット酸化条件の制御による 4H-SiC C 面上 MOS 界面特性への影響 Effect by the Control of the Wet Oxidation Conditions on 4H-SiC C-face MOS Interface Properties 東京大学大学院工学系研究科マテリアル工学専攻 ⁰梶房 裕之、喜多 浩之 Dept. of Materials Engineering, The Univ. of Tokyo, [°]Hiroyuki Kajifusa and Koji Kita E-mail: h.kajifusa@scio.t.u-tokyo.ac.jp

[背景] 4H-SiC C 面(0001)に対する水蒸気によるウェット酸化によって界面欠陥密度(D_{ii})の低い MOS 界面が得られることが知られている[1]が、一方で閾値電圧(V_{th})の安定性が低下するという指 摘がなされている[2]。我々はドライ酸化では酸化時の O_2 濃度及び酸化温度によって支配的反応が 変化し、副次的反応を抑制することで MOS 界面特性が改善されることを報告した[3]が、ウェッ ト酸化においても酸化条件によって D_{it} や V_{th} 安定性などの界面特性が変わることが考えられる。 そこで本研究ではドライ酸化後にウェット酸化を追加した場合の界面欠陥低減効果とフラットバ ンド電圧 V_{FB} の安定性を種々のウェット酸化条件について調査した。

[実験] n型エピタキシャル膜($N_D \sim 1 \times 10^{16}$ cm⁻³)を有する4H-SiC C 面 n型基板をHF 溶液で洗浄後、 2%希釈 O₂雰囲気中 1300°C で酸化・急冷し、15-20 nm の熱酸化 SiO₂ 膜を作成し、加えて 20-90% の H₂O 雰囲気を用いた 1000°C の N₂ ウェット酸化でさらに酸化(再酸化)した。H₂O 雰囲気は温 度を制御した超純水中にN₂ガスを通じることで調製した。Au 電極を蒸着しMOS キャパシタとし、 準静的/1MHz の C-V 特性から High-Low 法による D_{it} を、また+3 MV/cm の定電圧ストレスを 10-10000 s 掛けた後の V_{FB} シフト(ΔV_{FB})から V_{FB} 安定性をそれぞれ評価した。

[結果と考察] 各サンプルの酸化条件と D_{it} の関係を**Fig.1**に示す。H₂Oの濃度に依らず、ドライ酸化のみで作成された界面と比較して、ウェット酸化を加えることによって D_{it} が大きく低減した。しかしウェット再酸化時間を長くするとともに D_{it} が大きくなり、ウェット酸化による酸化量は抑制しなければならないことがわかる。一方で**Fig.2**(a)に示す通り、 V_{FB} の安定性は酸化時のH₂O 濃度が90%の場合に、20%やドライ酸化に比べて大きく低下している。この違いはウェット酸化を追加した時間の長短によらず表れており、 V_{FB} の安定性を低下させる原因となる膜中欠陥がウェット酸化により生成し、その生成量は**Fig.2**(b)に示すように D_{it} とは無関係にウェット酸化条件によって大きく異なることを意味している。ドライ酸化の場合[3]と同様に温度とH₂O分圧からウェット酸化反応を熱力学的な観点から考察すると、高いH₂O分圧条件でC原子が界面に蓄積する反応が起きることが予想される。 V_{FB} 安定性の低下はこれに起因していることが示唆される。

以上のことから、ウェット酸化においては界面欠陥の低減と閾値電圧の安定性の向上を同時に 達成するには比較的低濃度の酸化条件の選択が重要となることが判明した。またドライ酸化との 併用によってウェット酸化量を抑制することで更なる欠陥低減が可能であることが示唆された。 なお本研究の一部は、総合科学技術・イノベーション会議のSIP戦略的イノベーション創造プログラム「次世代

パワーエレクトロニクス(管理法人:NEDO)」及び JSPS 科研費補助金の助成により実施された。

文献: [1] D. Okamoto et al., Mater. Sci. Forum **778-780**, 975 (2014). [2] M. Okamoto et al., APEX **5**, 041302 (2012). [3] 梶房ら、第 63 回応物春季学術講演会 20p-H101-15 (2016).



Fig. 1 Time dependence of wet re-oxidation after dry oxidation on D_{it} at $E_c - E \sim 0.2$ eV determined by High-Low method. 1 MHz C-V curves are shown in inset.



Fig. 2 (a) V_{FB} shift divided by CET of the samples after the bias stress of 3 MV/cm. (b) The relationship between ΔV_{FB} /CET after 10⁴ s stress of 3 MV/cm and D_{it} at $E_c - E \sim 0.2$ eV for each samples.