

TDMAS を用いた ALD-SiO₂ ゲート絶縁膜の SiC-MOS キャパシタ特性

Electrical characteristics of SiC-MOS capacitors with an ALD-deposited SiO₂ using TDMAS

東工大工学院¹, 東工大科学技術創成研究院², 三菱電機株式会社³, 金子喬¹, 雷一鳴¹,
若林整¹, 筒井一生², 岩井洋², 角嶋邦之¹, 古橋壮之³, 友久伸吾³, 山川聡³

Tokyo Tech. School of Eng.¹, Tokyo Tech. IIR², Mitsubishi Electric. Corp.³, °T. Kaneko¹, Y. M. Lei¹,
H. Wakabayashi¹, K. Tsutsui², H. Iwai², K. Kakushima¹, M. Furuhashi³, S. Tomohisa³, S. Yamakawa³

E-mail: kaneko.t.aw@m.titech.ac.jp

【はじめに】SiC はパワーデバイス材料として優れた物性値を持ち、次世代のパワーデバイスとして SiC-MOSFET の普及が期待されている [1]。従来、SiC-MOSFET には熱酸化による SiO₂ ゲート絶縁膜が用いられてきたが、SiC の熱酸化には面方位による酸化速度の異方性がある [2]。このためトレンチ型 MOSFET においては堆積法によるゲート絶縁膜の形成が望ましい。今回、堆積法によるゲート酸化膜の界面特性を検証するために、トリスジメチルアミノシラン(TDMAS: SiH(NCH₃)₂)₃)をプリカーサとした原子層堆積 (ALD) 法 [3] を用いて 4H-SiC 上に SiO₂ ゲート絶縁膜を形成した。

【試料作製方法】n-SiC エピウエハを化学洗浄した後、TDMAS、および、酸素プラズマを酸素供給源とした ALD で SiO₂ を 40nm 堆積した。その後、酸素雰囲気(1 atm)の石英炉で 1000 °C から 1100 °C の堆積後熱処理(PDA)処理を行った。RF スパッタリング法による W の成膜と反応性イオンエッチング(RIE)によるエッチングで、W をゲート電極とする MOS キャパシタを作製した。最後に MOS キャパシタを FG(3% 水素)雰囲気中 420°C で 30 分間熱処理した。

【測定結果】PDA 温度が高くなるほどフラットバンド電圧(V_{fb})、およびヒステリシス量(ΔV)が低下することが分かった。図 1 に比較的良好な特性が得られた 1100 °C の PDA による SiC キャパシタの容量電圧(CV)特性を示す。ゲート電圧を負から正、また正から負に掃引した際、CV 曲線は時計回りのヒステリシスを示したこ

とから、SiO₂ へ電子がトラップされたものと考えられる。ヒステリシス量は測定周波数が 100 kHz のときに 0.12 V であったため、 $6.5 \times 10^{11} \text{ cm}^{-2}$ のボーダートラップが界面近傍に存在するものと考えられる。

【まとめ】TDMAS を用いて成膜した SiO₂ ゲート絶縁膜の SiC-MOS キャパシタの試作を行った。1100°C の PDA を行うことで、ヒステリシスは残るものの比較的良好な CV 特性が得られた。

【参考文献】

[1] L. Stevanovic, et al., 25th IEEE APEC, pp. 401-407 (2010). [2] Y. Song, et al., J. Appl. Phys., 95, pp. 4953-4957 (2004). [3] B. B. Burton, et al., J. Phys. Chem., vol. C113, pp. 8249-8257 (2009).

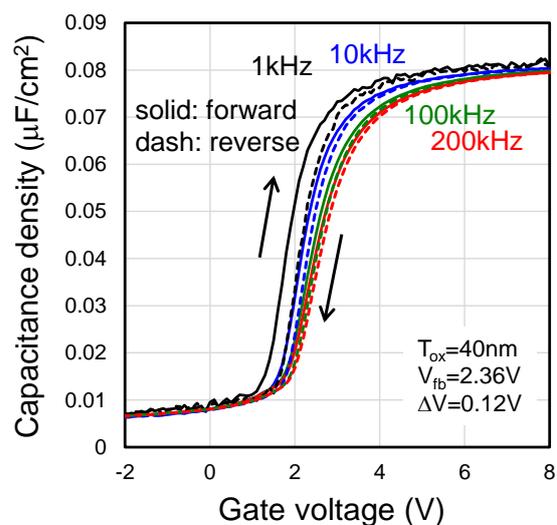


Figure 1 CV characteristics of a SiC MOS capacitor with an ALD-SiO₂ gate dielectric.