

La シリケート/ALD-SiO₂ 積層ゲート絶縁膜を有する SiC-MOS キャパシタの電気特性評価

Electrical characteristics of SiC-MOS capacitor with La-silicate/ALD-SiO₂ stacked gate dielectrics

東工大工学院¹, 東工大科学技術創成研究院², 三菱電機株式会社³, °雷一鳴¹,
若林整¹, 筒井一生², 岩井洋², 角嶋邦之¹, 古橋壮之³, 友久伸吾³, 山川聡³

Tokyo Tech. School of Eng.¹, Tokyo Tech. IIR², Mitsubishi Electric Corp.³, °Y. M. Lei¹, H. Wakabayashi¹,
K. Tsutsui², H. Iwai², K. Kakushima¹, M. Furuhashi³, S. Tomohisa³ and S. Yamakawa³

E-mail : yiming.l.aa@m.titech.ac.jp

【はじめに】4H-SiC は高効率なパワーデバイスを実現する材料として普及が期待される[1]。従来、SiC-MOSFET のゲート絶縁膜は熱酸化により形成することが多かったが、SiC は酸化速度の面方位依存性が大きく[2]、トレンチ型 MOSFET の作製を考慮した場合、堆積法によるゲート絶縁膜の形成が適していると考えられる。近年、堆積法によるゲート絶縁膜として LaSiO 膜の適用により界面準位密度を 10¹¹cm²/eV 台まで低減できることが報告された[3,4]。今回、SiO₂ と La₂O₃ の積層膜を熱処理することにより得られる La シリケート膜をゲート絶縁膜とする MOS キャパシタを作製した。SiC-MOS キャパシタの容量電圧測定結果を元に、La シリケート膜による SiC-MOS 界面特性の改善について報告する。

【実験方法】化学洗浄した n 型 4H-SiC (0001)エピ基板上に SiO₂、La₂O₃、SiO₂ を順に 10 nm、10 nm、40 nm 堆積し、酸素雰囲気中で 1100°C の熱処理を行った。SiO₂ はプリカーサにトリスジメチルアミノシラン(TDMAS)、酸素供給源に酸素プラズマを用いた原子層堆積 (ALD) 法により堆積した。また La₂O₃ は電子線蒸着法により成膜した。ゲート電極には RF スパッタリングによる W 膜を用いた。また La シリケート層の有無による特性差を確認するため、40 nm の SiO₂ のみをゲート絶縁膜とした試料を同時に作製し、それぞれの容量電圧特性を評価した。

【実験結果】Fig. 1 に SiC-MOS キャパシタの C-V 特性を、Fig. 2 にフラットバンド電圧を基準としたゲート電極への印加電圧に対するヒステリシスの大きさを示す。SiO₂ のみの試料に比べ、La シリケート層を有する試料のフラットバンド電圧はマイナス方向にシフトしており、絶縁膜中の負の固定電荷が減少したものと考えられる。またヒステリシスも La シリケート層がある試料のほうが縮小しており、La シリケートにより界面特性が改善したものと考えられる。

[1] L. Stevanovic, et al., 25th IEEE APEC, pp. 401-407 (2010). [2] Y. Song, et al., J. Appl. Phys., 95, pp. 4953-4957 (2004). [3] X. Yang, et al., ICSCRM Th-2B-5 (2013). [4] 宗清ら, 第 61 回応用物理学会春季学術講演会, 20a-D8-8 (2014).

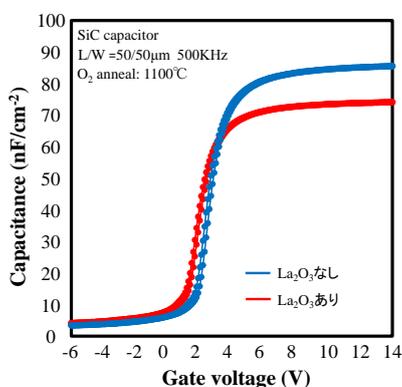


Fig. 1 CV characteristics ALD-SiO₂ capacitors with and without La-silicate layer.

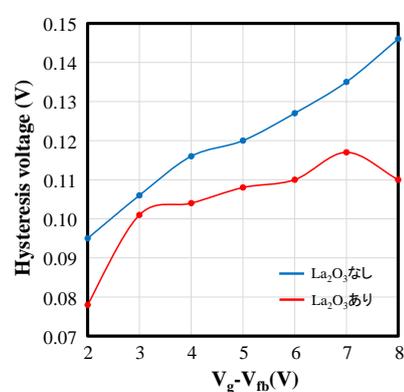


Fig. 2 Hysteresis on gate voltage sweeping range dependency