サブ 10 nm チャネル長 Si ナノワイヤ MOSFET の量子輸送シミュレーション

Quantum Transport Simulation of Si nanowire MOSFET with a Sub-10 nm Channel Length

神戸大工, °平井 佑昂, 土屋 英昭, 小川 真人
Kobe Univ., °Yutaka Hirai, Hideaki Tsuchiya, and Matsuto Ogawa
E-mail: 159t256t@stu.kobe-u.ac.jp

ゲートオールアラウンド構造 Si ナノワイヤ(SNW)MOSFET は、チャネルの全周囲がゲートに覆われているため、ゲートの静電制御力が増し極微細 MOSFET で問題となる短チャネル効果の抑制に優れた構造となっている。その一方で、Si MOSFET の微細化が進むとチャネル方向の量子輸送効果が顕在化する恐れがあり[1-4]、例えば SNW-MOSFET ではチャネル長が 6 -8nm 以下にまで縮小されると、ソース･ドレイン直接トンネリング(SDT)によってサブスレッショルド特性が急激に劣化することが報告されている[2]。しかしながら、散乱機構を厳密に取り入れた SNW-MOSFET の量子輸送特性については未だ十分な解明は行われていない。そこで本稿では、量子輸送効果とキャリア散乱を高精度に取り入れることができるウィグナーモンテカルロ(WMC)法[3,4]を SNW-MOSFET に初めて適用し、チャネル長が 6 nm の SNW-MOSFET の量子輸送特性について検討した結果を報告する。

計算に用いたデバイス構造を Fig. 1 に示す。SNW の矩形断面サイズは 3 nm とした。ドレイン電圧は $V_D = 0.2$ V とし、散乱機構はフォノン散乱（音響フォノン、非有極性フォノン）、不純物散乱及び表面ラフネス散乱(SR scattering)を考慮した。輸送方向は<100>とし、閉じ込め方向は<010>及び<001>とした。まず、I_D-V_G 特性を Fig. 2 に示す。ここで、(a)は表面ラフネス散乱を無視した結果で、(b)は表面ラフネス散乱を考慮した結果を示す。量子輸送効果を見るために、量子輸送を無視した半古典 MC 法（Boltzmann）の結果も破線でプロットしている。Fig. 2(a) の結果ではサブスレッショルド領域で量子論の電流値が大幅に増大しているのに対して、同図(b) の結果ではサブスレッショルド電流の増大が比較的小さな量に抑えられていることが分かる。このことはつまりキャリアの散乱が増えると（今の場合、表面ラフネス散乱を考慮すると）、ソース･ドレイン電極間の量子干渉効果が弱まり SDT によるサブスレッショルド電流の増大が抑制されることを示唆している。次に、 V_G = -0.15 V での基底サブバンドエネルギー分布と電子の線電子密度分布を Fig. 3 に示す。(a)と(b)のどちらの場合も、半古典論と量子論で基底サブバンドエネルギー分布はほぼ同じであるが、チャネル内の線電子密度は量子論の方が明らかに大きくなっている。これは SDT によるチャネル電子密度の増大を表している[2-4]。Fig. 3(a)と(b)を比較すると、表面ラフネス散乱を考慮した同図(b)の方でチャネル電子密度の増大が抑制されているのが分かる。この結果もまた、キャリアの散乱が増えると、ソース･ドレイン電極間の量子干渉効果が弱まり SDT の影響が顕在化し難くなることを表している。以上の結果より、キャリアの散乱は量子干渉効果を弱め、断面サイズが数 nm の Si ナノワイヤ MOSFET では SDT の影響がある程度抑制される効果があることが分かる。

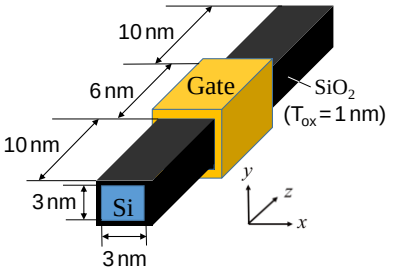

Fig. 1 Device structure. A gate all around structure was employed, and its cross section is 3 nm × 3 nm. The donor concentration in source and drain is 10^{20} cm^{-3}, while the channel is undoped.

文献 [1] H. Kawaura et al., *APL* **76** (2000) 3810. [2] Y. Yamada et al., *IEEE-TED* **56** (2009) 1396. [3] D. Querlioz et al., *IEEE-TED* **54** (2007) 2232. [4] S. Koba et al., *SISPAD 2011*, pp.79-82.

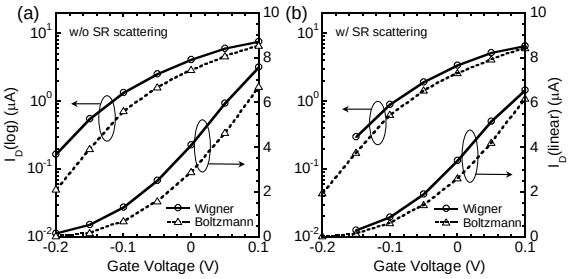

Fig. 2 I_D - V_G characteristics of Si nanowire MOSFET computed (a) without and (b) with SR scattering.

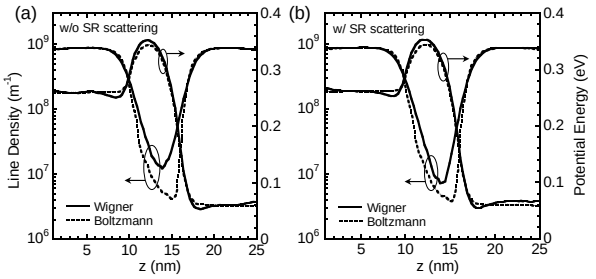

Fig. 3 Lowest subband energy and line electron density profiles computed at V_G = -0.15 V (a) without and (b) with SR scattering.

© 2016年 応用物理学会