次世代 TCAD(2) 3 次元デバイスシミュレータによる 5 段 CMOS インバータチェーンの一括過渡解析

Transient Analysis of CMOS Inverter Chain by Three-Dimensional Device Simulation

アドバンストソフト株式会社 ○萩原　敦，原田 昌紀，桑原 匠史，大倉 康幸，山口 憲，小池　秀耀

AdvanceSoft Corporation, ○Atsushi Hagiwara, Masanori Harada,

Takuhito Kuwabara, Yasuyuki Ookura, Ken Yamaguchi, Hideaki Koike

E-mail:hagiwara@advancesoft.jp

LSI の高集積化と高密度化により、MOS トランジスタ間の電気的な相互作用を無視することはできない。従来、LSI の設計において複数のデバイスからなる系を対象とした解析には、デバイスシミュレーションと回路解析を組み合わせたミックスモードシミュレーション[1] が使用されてきた。この手法では、ユーザがあらかじめ準備した寄生抵抗や寄生容量を入力パラメータとして与える必要がある。我々はこれまでに、複数のデバイスとそれらを接続する配線からなる系のデバイス特性を、デバイスシミュレーションのみで一括して解析できる手法を開発してきた[2][3]。この手法では、寄生抵抗や寄生容量をはデバイスシミュレーションで計算されるため、ユーザが事前に準備しておく必要はない。

適用事例として、Fig. 1 に示す 5 段の CMOS インバータチェーンの過渡解析を実施し、各段のインバータ動作の遅延時間を評価した。また過去に実施した 3 段の CMOS インバータチェーンの結果と比較した。

まず Vdd に 2V を印加し、定常状態を用意する ($t < 2.1$ ns)。次に $t = 2.1$ ns において、Vin をステップ状に 2V 昇圧し、その後 0.6 ns 間の過渡解析を実行した。Fig. 2 に Vin 昇圧前後でのインバータチェーンの各段における静電ポテンシャルの時間変化を示す。まず、インバータチェーンの段数が増えるに従って、静電ポテンシャルの反転するタイミングが遅れることを確認できた。また、5 段目は寄生容量による影響がないため、静電ポテンシャルの反転に要する時間 (Δt_5) が短くなることがわかった。

謝辞：本研究の一部は独立行政法人科学技術振興機構 A-STEP プログラムの助成を受けて行われました。

[1] J. Gregory Rollins and John Choma, Jr., “Mixed-Mode PISCES-SPICE Coupled Circuit and Device Solver”, IEEE Trans. Computer-Aided Design, vol. 7, no. 8, pp. 862 - 867, August 1988

[2] Y. Takemura, K. Osada, M, Yagyu, K. Yamaguchi, J. Ushio and T. Maruizumi, “Three-dimensional capacitance analysis in an SRAM cell”, 2000 International Conference on Solid State Devices and Materials, August 380 - 381, 2000, Sendai, Japan

[3] 原田 昌紀，桑原 匠史，大倉 康幸，山口 憲，小池 秀耀、” 次世代 TCAD(2) 3 次元デバイスシミュレータによる CMOS インバータチェーンの一括過渡解析”，第 62 回応用物理学関係連合講演会、講演番号 12p-A27-8、 2015 年 3 月，東海大

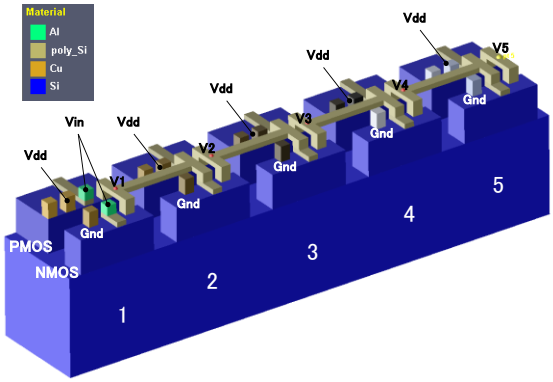

Fig. 1. Structure of the five-stage CMOS inverter chain.

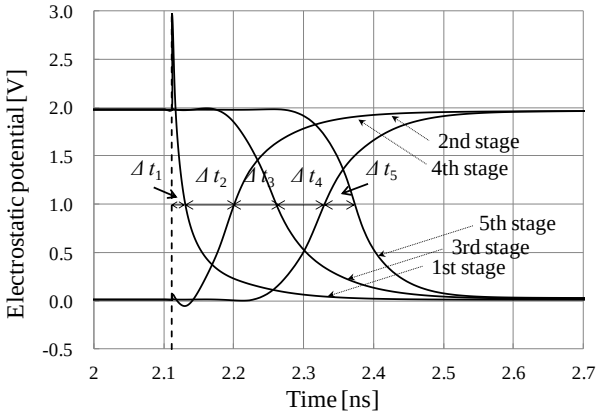

Fig. 2. Time variations of the electrostatic potentials at the five stages.

© 2016年 応用物理学会