

ミニマル・メガファブハイブリッドプロセスによる SOI-CMOS 集積回路の作製及び電気特性評価

Fabrication and Characterization of SOI-CMOS Integrated Circuits by Minimal Fab and Mega Fab Hybrid Process

産総研¹, ミニマルファブ技術研究組合²

○柳 永勳¹, クンブアン ソマワン^{1,2}, 長尾 昌善¹, 原 史朗^{1,2}

AIST¹, MINIMAL², °Yongxun Liu¹, Somawan Khumpuang^{1,2}, Masayoshi Nagao¹, and Shiro Hara^{1,2}

E-mail: yx-liu@aist.go.jp

【緒言】我々は、ミニマル装置群を活用したカスタムデバイスの作製レシピ開発を行っている。今回、ミニマルファブとメガファブ装置を併用したハイブリッドプロセスによる PVD-TiN メタルゲート SOI-CMOS 集積回路の作製に成功し、その電気特性評価を行ったので報告する。

【実験及び結果】デバイス作製には、N 型ミニマル SOI ウェハ($\Phi = 12.5$ mm, $\rho = 15\sim 76$ Ω cm, Top-Si = 205 nm, BOX = 400 nm)を用いた。ゲート制御性向上と漏れ電流抑制のため、熱酸化で Top-Si 層厚を 88 nm まで薄層化した。また、不純物ドーピング無しで PMOS と NMOS の対称的なしきい値電圧(V_t)を実現するために、ミッドギャップ仕事関数を持つ PVD-TiN (30 nm)をゲート材料として導入した。ウェハ洗浄、熱酸化による Top-Si 薄層化、7 回の合わせ露光及び SOD (Spin on doping) によるソース・ドレイン領域の不純物 (ボロン・燐) 拡散($T = 950$ $^{\circ}$ C, $t = 4$ min)は、全てミニマルファブで行った。PVD-TiN 堆積、CVD-SiO₂ 成膜及びゲート酸化($T = 900$ $^{\circ}$ C, $t = 10$ min, $T_{ox} = 5.8$ nm)はメガファブで行った。このように、ハイブリッド・ゲートラストプロセスで作製した SOI-CMOS

の電気特性を評価した結果、Fig. 1 に示すようにほぼ対称的な PMOS と NMOS の I_d - V_g 特性、理想値に近いサブスレッショルド係数、正常な CMOS インバータ動作が確認できた。また、Fig. 2 に作製した 41 段の CMOS リングオシレータのチップ写真と発振波形を示しており、リングオシレータの正常な発振動作が確認できる。従って、今回開発したハイブリッドによるデバイス作製レシピは、今後の小規模な機能性論理回路の開発に有望であると言える。

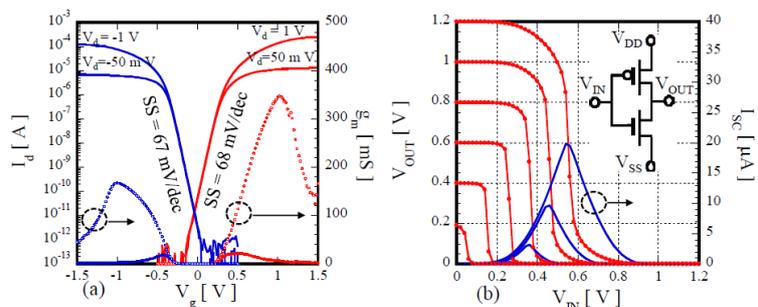


Fig. 1. (a) I_d - V_g and (b) Transfer characteristics of the fabricated CMOS with $L_g = 8$ μ m.

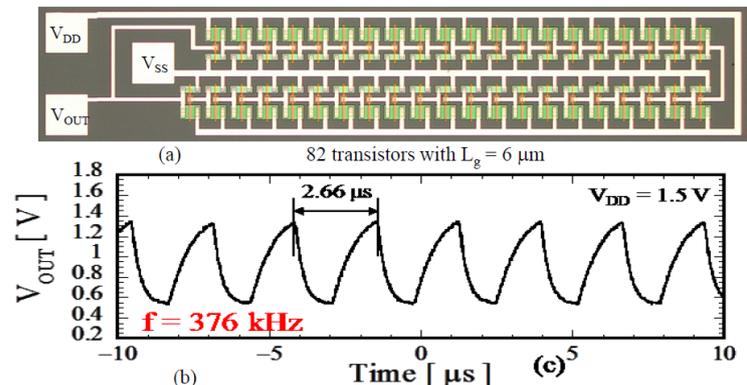


Fig. 2. (a) Photo-image and (b) oscillation waveform of the 41-stage CMOS ring oscillator.