

ミニマル液体ドーパントプロセスによる CMOS 試作 (II)

CMOSFET Fabrication by Minimal Spin-on Dopant Process(2)

産総研¹, ミニマルファブ技術研究組合²

○古賀 和博^{1,2}, 居村 史人^{1,2}, 北山 侑司², クンプアン ソマワン^{1,2}, 原 史朗^{1,2}

AIST¹ and MINIMAL²

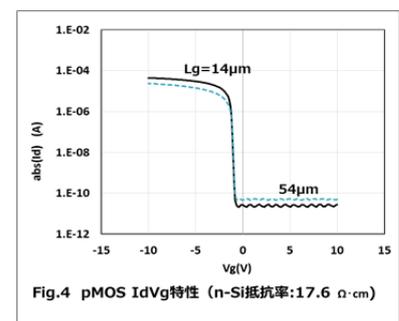
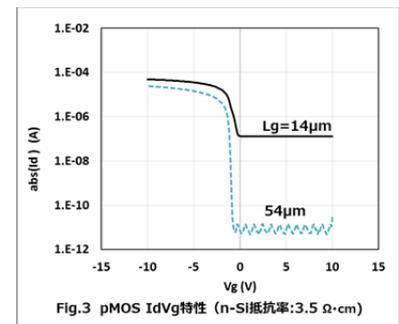
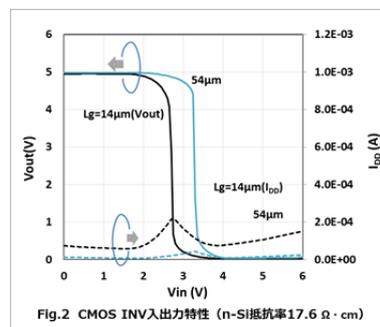
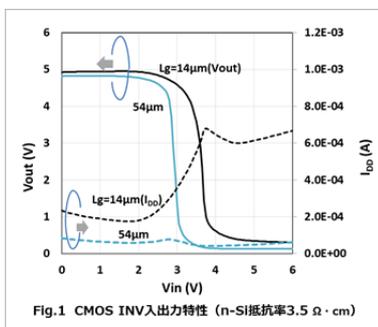
○Kazuhiro Koga^{1,2}, Fumito Imura^{1,2}, Yuji Kitayama², Sommawan Khumpuang^{1,2}, and Shiro Hara^{1,2}

E-mail: kazuhiro.koga@aist.go.com

【背景】我々は規格化された超小型の製造装置とそのシステムであるミニマルファブの開発を行っており、局所クリーン化技術により製造ラインの運転コストを従来の 1/1000 に低減することを目標に掲げている[1]。現在、主要前工程プロセスを実用するための装置開発を行っている。ただし、デバイス試作に必要な不純物拡散はイオン注入装置が未だプロトタイプを開発中の為、液体ドーパントを用いた熱拡散法を採用している。これまで熱拡散法により p-MOSFET, n-MOSFET, p-MOS インバータ、そして CMOS インバータの試作に成功している。CMOS 試作では p ウェルの不純物濃度を高くして閾値電圧をプラス側にシフトさせ、エンハンスメント型 n-MOS を作ることができた[2], [3], [4]。しかし、CMOS インバータがオフした後の貫通電流が上昇する傾向があり低減策を検討している。その中で、貫通電流が、n 型 Si 基板の抵抗率およびゲート長との間に相関があることがわかったのでその内容について報告する。

【実験方法】ウエーハは厚さ 250 μm , 抵抗率 3~18 $\Omega\cdot\text{cm}$ の 12.5mm Φ の n-Si を用いた。n-MOS は B (ボロン) 拡散(1000 $^{\circ}\text{C}$ -60min, O₂/N₂=50/50%雰囲気)にて p ウェルを形成し、そこに P (リン) 拡散(1000 $^{\circ}\text{C}$ -1min, N₂ 雰囲気)にてソース(S)/ドレイン(D)拡散層(n+層)を形成した。p-MOS は B 拡散(950 $^{\circ}\text{C}$ -30min, O₂/N₂=50/50%雰囲気)にて S/D 拡散層(p+層)を形成した。B または P の塗布溶剤をミニマル塗布装置にて塗布し乾燥ベーク後、ミニマル抵抗加熱炉装置にてハードベークとプリデポ拡散を一貫処理した。その後、塗布膜を BHF エッチングにて除去した後、ゲート酸化を兼ねたドライイン拡散にて拡散層を形成した。今回の貫通電流評価については抵抗率が違うウエーハを用いて CMOS を試作し、インバータ特性並びに単体の n-MOS, p-MOS の特性を比較検討した。

【結果と考察】Fig. 1 と Fig. 2 に n 型 Si 基板の抵抗率が 3.5 $\Omega\cdot\text{cm}$ と 17.6 $\Omega\cdot\text{cm}$ のウエーハで試作したインバータ入出力特性を示す。パラメータとして、ゲート長が 14 μm と 54 μm について示す。抵抗率が 3.5 $\Omega\cdot\text{cm}$ の方は出力電圧の切り替わりが急峻ではなく、ゲート長 14 μm の貫通電流は 600 μA と高い。一方、抵抗率が 17.6 $\Omega\cdot\text{cm}$ のウエーハではインバータの切り替わりが急峻で貫通電流も低い。ゲート長に関しては、よりロングチャネルである 54 μm の方が 14 μm より貫通電流が低くなる傾向がある。インバータがオフになる時は p-MOS はオフになり、この時の貫通電流は p-MOS のオフリーク電流である。実際に Fig. 3 に示すように、p-MOS のオフリーク電流はゲート長が 54 μm と広い場合の方が 14 μm より 4 桁低い。しかし、抵抗率が 17.6 $\Omega\cdot\text{cm}$ と高い場合は Fig. 4 に示すようにゲート長の依存性は見られなかった。その他、特性改善の詳細については当日の報告で述べる。



【参考文献】[1]原 史朗, クンプアン ソマワン:「ミニマルファブの開発とそのデバイスプロセス」, 応用物理学会誌 83(5), p. 380 (2014)

[2] 徳山巖著, MOS デバイス, 工業調査会発行, P175-P204

[3] S. D. Brotherton: Solid-State Electronics 10 611 (1967)

[4] P. Richman: Solid-State Electronics 11 869 (1968)