

## 強誘電体をゲート絶縁膜としたダイヤモンド表面チャネル型 FET 構造の作製 (2)

### Fabrication of diamond surface-channel FET structure using ferroelectric gate insulator(2)

柄谷 涼太<sup>1</sup>、古市 浩幹<sup>1</sup>、馬場 一気<sup>1</sup>、森 陽介<sup>1</sup>、中嶋 宇史<sup>2</sup>、

徳田 規夫<sup>1</sup>、<sup>○</sup>川江 健 (1. 金沢大、2. 東京理科大)

R. Karaya<sup>1</sup>, H. Fruichi<sup>1</sup>, I. Baba<sup>1</sup>, Y. Mori<sup>1</sup>, T. Nakajima<sup>2</sup>, N. Tokuda<sup>1</sup>, and <sup>○</sup>T. Kawae<sup>1</sup>

(1.Kanazawa Univ., 2.Tokyo Univ. of Sci.)

E-mail: akk\_kr@stu.kanazawa-u.ac.jp

【はじめに】ダイヤモンドは、絶縁破壊電界、キャリア移動度、熱伝導率などにおいて非常に優れた物性値を有することからポスト SiC・GaN 世代におけるパワーデバイス応用が期待されている。特に、水素終端ダイヤモンドの p-型表面伝導層は高いシートキャリア密度を示すことから、MISFET の応用研究が活発に行われている<sup>[1]</sup>。一方、通常の絶縁膜に比べ巨大分極誘起が可能な強誘電体ゲートを用いることで、より高い電流 on/off 比や残留分極によるチャネル変調動作が期待される。現在までに我々は、強誘電体 VDF/TrFE をゲート絶縁膜としたダイヤモンド表面チャネル型 FET 構造の作製と評価を報告してきた<sup>[2]</sup>。今回、水素終端ダイヤモンド及び VDF/TrFE 薄膜の作製条件の最適化を行い、FET 特性を改善したので報告する。

【実験方法】MPCVD 法を用いてダイヤモンド(100)基板上にホモエピタキシャル水素終端ダイヤモンドを成長させた。その後、真空蒸着法を用いて Au をソース・ドレイン電極として堆積させた。続いて、スピコート法を用いて膜厚 200nm の VDF/TrFE を堆積した。最後に、PLD 法を用いて Pt をゲート電極として堆積させた。電気特性評価には半導体パラメータアナライザ HP4156A 及び強誘電体評価システム FCE-3 を用いた。

【結果と考察】Fig.1 にゲート電圧を変化させた際の  $I_{DS}$ - $V_{DS}$  特性を示す。作製した試料は典型的な p チャネル FET 特性及び良好なピンチオフ特性を示した。 $V_{DS} = -30$  V において、観測された電流 on/off 比は  $10^8$  であった。Fig.2 に  $I_{DS}$ - $V_G$  特性を示す。 $I_{DS}$ - $V_G$  曲線は時計回りのヒステリシスループを描いている。これは VDF/TrFE ゲートの強誘電性に起因するものである。

また、ゲートにパルス電圧  $V_{PG}$  を印加し VDF/TrFE の残留分極による  $I_{DS}$  の変調を試みた。 $V_{DS} = -30$  V において、 $V_{PG} = -20$  V 印加後のオン電流が  $I_{DS} = 8.0$  mA/mm、 $V_{PG} = 20$  V 印加後のオフ電流が  $I_{DS} = 6.6$   $\mu$ A/mm であった。電流 on/off 比はおおよそ  $10^3$  となり、残留分極によるチャネル変調を確認した。

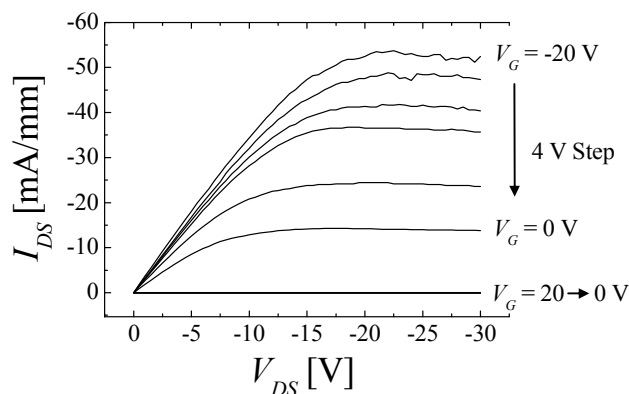


Fig.1  $I_{DS}$ - $V_{DS}$  curves of diamond surface-channel FET with VDF/TrFE gate

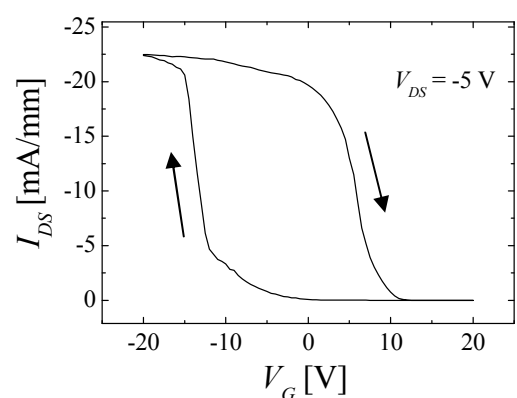


Fig.2  $I_{DS}$ - $V_G$  curves of diamond surface-channel FET with VDF/TrFE gate

[1]K. Hiramata *et al.*, Appl. Phys. Lett.**88**, 112117 (2006)

[2]柄谷他, 第 76 回秋季応用物理学会講演予稿集, 15p-4F-1