

GaN パワートランジスタのためのゲート酸化膜堆積技術の開発 Development of Deposition Technology of Gate SiO₂ Layer for GaN Power Transistors

山梨大¹, ㈱SST², 富士電機㈱³

高木 翔太¹, 荒井 哲司¹, 有元 圭介¹, 山中 淳二¹, [○]中川 清和¹,
高松 利行², 上野 勝典³

Univ. of Yamanashi¹, SST Inc.², Fuji Electric Co., Ltd.³

S. Takagi¹, T. Arai¹, K. Arimoto¹, J. Yamanaka¹, [○]K. Nakagawa¹,

T. Takamatsu², and K. Ueno³

E-mail: G14ME014@yamanashi.ac.jp

はじめに：

GaN を用いたパワーデバイス、バンドギャップが大きいことで動作温度が高くても正常に動作すること、ブレイクダウン電界強度が大きいことためチャンネル長で耐圧を稼ぐ必要がなくなり、オン抵抗を低くすることが可能であることなど、Si デバイスに比べ長所を有している。Si デバイスでは熱酸化による SiO₂ 膜形成が主流だが、GaN では酸化による絶縁膜形成が不可能である。したがって、緻密で耐圧が Si の熱酸化による SiO₂ 膜に比べ遜色がなく、酸化によらない新しい堆積酸化膜の形成技術開発が急務である。

実験及び結果：

我々は、原料の TEOS (テトラ・エトキシ・シラン) を半導体基板上に吸着させ、独自開発のマイクロ波励起高密度酸素ラジカルにより基板表面上で酸化することで、Si の熱酸化で得られる超高品質の SiO₂ 膜と同等の誘電率、耐圧特性の酸化膜を得ている。また、GaN 基板を用いた予備実験で、当該装置による SiO₂ 膜において半導体と SiO₂ 膜との界面準位密度が従来法の堆積酸化膜に比べ 1 桁以上低いことが明らかとなっている。前回、酸化膜堆積前に 15 分程度酸素プラズマ処理を行うことで界面準位密度が大幅に低減できることを報告した。今回、酸化膜堆積中の TEOS ガス流量を減らすことで C-V 曲線の正方向へのフラットバンド電圧(V_{FB})シフトが減少するという結果が得られた。当該の SiO₂ 膜は、SIMS 分析結果において TEOS ガス流量が少ないほど SiO₂ 膜中の C が少ない。SIMS 分析結果等については当日報告する。

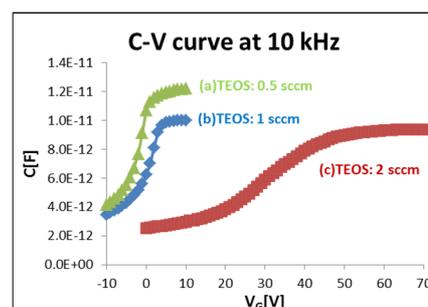


Fig. C-V curves of MOS Capacitors at 10 kHz as a function of TEOS gas flow rate (R), where O₂ gas flow rate is fixed to be 90 sccm. (a) R = 0.5, (b) R = 1, (c) R = 2 sccm.

参考文献：第 62 回応物春季予稿集 13p-P17-17

「GaN 基板上にプラズマ CVD で形成した SiO₂-MOS キャパシタの特性」

謝辞：本研究の一部は科研費 (25390065) の助成を受けたものである。