

GaN MOS デバイスのゲート絶縁膜に向けた Al_2O_3 と SiO_2 の混合膜の検討

Mixed film of Al_2O_3 and SiO_2 for a gate insulator of GaN MOS devices

○菊田 大悟、伊藤 健治、成田 哲生、森 朋彦 (豊田中研)

○Daigo Kikuta, Kenji Itoh, Tetsuo Narita, and Tomohiko Mori (Toyota Central R&D Labs.)

E-mail: kikuta-d@mosk.tytlabs.co.jp

背景、目的 GaN 系 MOS 構造デバイスのゲート酸化膜材料には、 SiO_2 より比誘電率が高く、良好な界面特性が得られる Al_2O_3 の検討が多くなされている^(1,2)。しかし、 Al_2O_3 は GaN に対して伝導帯オフセット(ΔE_C)が SiO_2 より小さいため、リーク電流が大きい問題がある。そこで Al_2O_3 に ΔE_C の大きい SiO_2 を混合することで ΔE_C を増大させ、リーク電流を低減させることを検討した。

サンプル作製 n 型 GaN 上に原子層堆積(Atomic Layer Deposition: ALD) 法により Al_2O_3 、 SiO_2 および Al_2O_3 と SiO_2 の混合膜を成膜し、MOS キャパシタを作製した。混合膜は Al_2O_3 成膜と SiO_2 成膜を交互に行うことで作製し、その混合比は Al_2O_3 の ALD サイクル数と SiO_2 の ALD サイクル数により制御した。成膜後にポストデポジションアニールとして、 N_2 雰囲気中で 650°C 、60 分間の熱処理を行った。

評価 作製した MOS キャパシタの容量-電圧特性を図 1 に示す。混合比により絶縁膜容量が変化しており、絶縁膜の比誘電率が変化していることがわかった。またフラットバンド電圧は混合比によらず約 0V であり、混合による固定電荷は見られなかった。

図 2 は MOS キャパシタの電流密度-電界強度特性である。 SiO_2 を混合することで Al_2O_3 に比べ、リーク電流の立ち上がり電界強度が高くなっている。これは SiO_2 を混合することによる ΔE_C の増大によると思われる。

まとめ Al_2O_3 に SiO_2 を混合することでリーク電流の低減が見られた。一方で比誘電率の低下もあり、実デバイスへの適用にはリーク電流と比誘電率のトレードオフを考慮する必要がある。

参考文献

- (1) Y. Hori, C. Mizue, and T. Hashizume: Jpn. J. Appl. Phys. 49 (2010) 080201.
- (2) K. Yoshitsugu, M. Horita, Y. Ishikawa, and Y. Uraoka: Phys. Status Solidi C 10 (2013) 1426–1429.

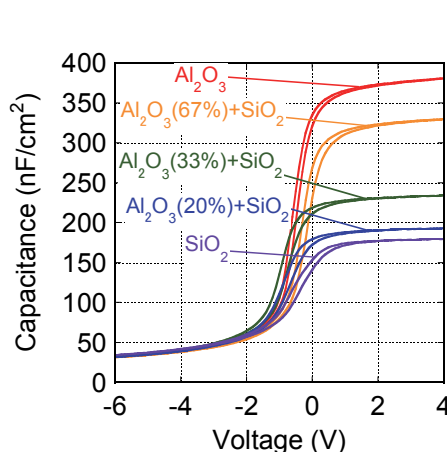


図1 容量-電圧特性

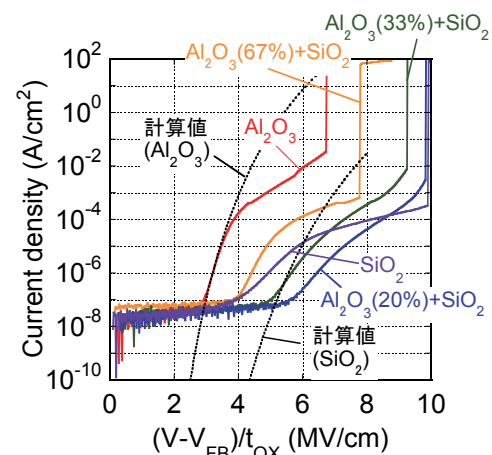


図2 電流密度-電界強度特性