

無電解めっきを用いた電気泳動による TSV 埋め込み用シード膜の成膜 Forming Seed Film by Electroless Plating for Electrophoretic Si Via Filling

新田航平¹, 多喜川良¹, 池田晃裕¹, 熊澤光章², 平井俊明², 小松通郎², 浅野種正¹
九州大学システム情報科学府¹, 日揮触媒化成(株)ファイン研究所²

Kohei NITTA¹, Ryo TAKIGAWA¹, Akihiro IKEDA¹,
Mitsuaki KUMAZAWA², Toshiharu HIRAI², Michio KOMATSU², Tanemasa ASANO¹
Kyushu Univ.¹, JGC Catalysts and Chemicals Ltd.²

E-mail : nitta@fed.ed.kyushu-u.ac.jp

1. はじめに

電子機器の高集積・高速かつ低消費電力化に向けて、Si 貫通電極(TSV : Through Silicon Via)を用いた三次元実装技術の研究が本格化している。現在、配線形成技術として実績のある Cu の電解めっき技術を利用する方向で、Si ビアへの導電性材料の埋め込み技術の開発が進められている。しかし、電解めっきによるビア充填には長時間を要するため、コスト高が TSV 技術の実用化への障害となっている[1]。この問題を解決するため我々は、金属ナノ粒子の電気泳動法を提案している。Ag ナノ粒子を用い、Si ビアを模したフォトレジスト微細孔(直径 10[μm], 深さ 30[μm])の充填を 1 分で可能[2]であり、電気泳動によって Ag ナノ粒子の堆積が進行すること示した[3]。この方法を TSV 形成へ適用するために、電気泳動時の通電用電極となるシード膜を Si 微細孔にコンフォーマルに形成する必要がある。本報では自己組織化膜を利用した無電解めっきにより、シード膜の成膜性を調査した結果を述べる。

2. 実験方法と結果

Si 微細孔への無電解めっきによるシード膜形成について調査した。Si 試料はボッシュプロセスにより直径 5[μm], 深さ 40[μm]の孔加工したものの表面に、ウェット酸化(1050[$^{\circ}\text{C}$], 2 時間)により SiO₂膜を形成したものを用いた。酸化した Si 試料へ O₂ アッシング(O₂ ガス圧:100[Pa], 400W)を 2 分行い、Fig. 1 のようにビーカー内に自己組織化単分子膜(SAM: Self-Assembled Monolayer) 3-ATPES の原料を入れ、その上にフェースダウンで Si 試料を配置してふたをする。これを真空チャンバー内に入れロータリーポンプで雰囲気 30[Pa]まで引き、バルブを閉じて 30 分保持し Si チップ表面に 3-ATPES の SAM を形成した。次に、Si 試料を 110[$^{\circ}\text{C}$]で 20 分間加熱し、3-ATPES 膜上に Ni 膜堆積の触媒となる Pd を付着させるため、塩酸 1[mol/L]に PdCl₂を 0.2[g/dm³]の割合で混合した溶液に 10 分漬け、その後 DMAB(Dimethylaminoborane)の還元剤に 10 分漬けた。還元剤に漬けたあと、75[$^{\circ}\text{C}$]に加熱した Ni-P 無電解めっき液に漬けることで、Si チップ上に Ni 膜を成膜した。最後に、シード膜となる Ni を電気泳動に用いる Ag コロイド液から保護するために、Si チップを希硝酸(3.5%)に 5[s]漬け、Au 無電解めっき液に漬けることで Ni 膜上に Au 膜を形成した。

Fig.2 に無電解めっきを用いてシード膜を成膜した Si ビアの断面図を示す。無電解めっきを用いることで、Si ビアの上部から底部にかけて、コンフォーマルなシード膜が形成できることが確認できた。また、シード膜の抵抗率が 0.40[m Ω ·cm]であったことから、電気泳動による Si ビアへの Ag コロイドの埋め込みに十分利用できると考えられる。

3. まとめ

SAM を利用した無電解めっきによりアスペクト比が

1:8(5 μm :40 μm)と大きな Si 微細孔へコンフォーマルなシード膜の成膜が可能であることを示した。

また、シード膜の抵抗率が 0.40[m Ω ·cm]と電気泳動を用いた Si ビアへの Ag コロイド埋め込みに利用が期待できる値を得た。

4. 謝辞

本研究の一部は独立行政法人科学技術振興機構(JST)の A-STEP プログラム(No.AS2621087J)により実施されたものである。ここに深くお礼申し上げる。

参考文献

- [1] 高橋健司, “貫通電極による LSI 集積化技術に関する研究”, 九州大学博士論文, 2010.
- [2] 仲原清顕 他, 応用物理学会九州支部学術講演会, 30Da-7, 2013.
- [3] 新田航平 他, 応用物理学会九州支部学術講演会, 5-Ea, 2015.

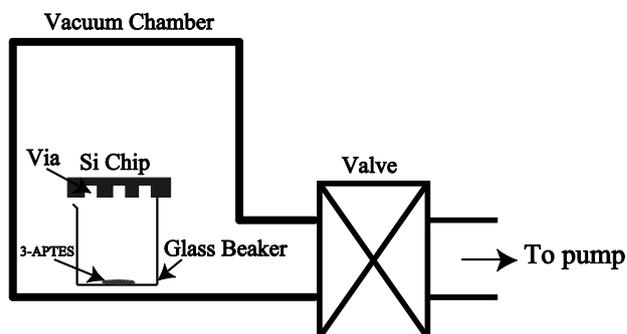


Fig. 1 Schematic of 3-ATPES(SAM) deposition.

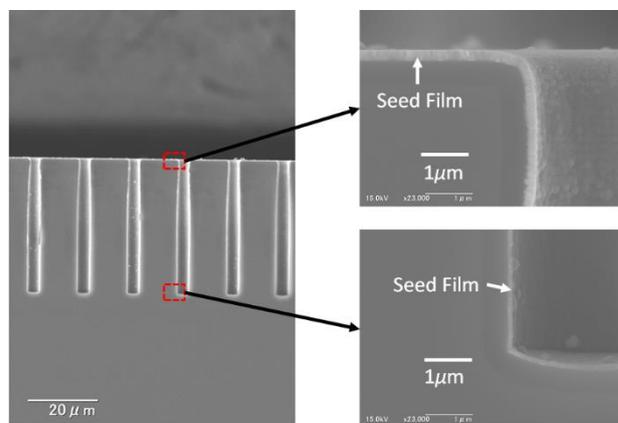


Fig. 2 Cross-sectional SEM image of a Si hole with the seed film formed by the method.