

アモルファスシリコン TFT 閾値電圧のゲート絶縁膜依存性

Effects of Gate Insulators on Threshold Voltage of Amorphous Silicon TFTs

○安藤 正彦¹、若木 政利¹、鬼沢 賢一² (1. 日立研開、2. 古賀総研)

○Masahiko Ando¹, Masatoshi Wakagi¹, Ken-ichi Onisawa² (1.Hitachi R&D, Koga-Soken)

E-mail: masahiko.ando.ph@hitachi.co.jp

【背景】アモルファスシリコン薄膜トランジスタ(a-Si TFT)は、スマートフォンからノート PC、薄型 TV まで、アクティブマトリクス駆動 TFT 液晶ディスプレイの画素スイッチ素子として世界中に普及し、今日の情報社会を支えるキーデバイスとして 30 年以上の実績がある。結晶シリコン(c-Si)用ゲート絶縁膜材料が熱酸化シリコン(SiO_x)であるのに対して、a-Si 用ゲート絶縁膜材料には窒化シリコン(SiN_x)が標準的に用いられるが、その理由を体系的に説明した報告は殆どない¹⁾。

【目的】本報告では、a-Si 半導体とチャネルを形成する界面と電氣的絶縁性を与えるバルクに夫々 SiN_x と SiO_x を適用した合計 4 種類の絶縁膜を a-Si TFT に適用して、閾値電圧(V_{th})とゲート直流バイアスストレス電圧印加に伴う閾値電圧シフト(ΔV_{th})のゲート絶縁膜依存性を明らかにする²⁾。

【結果】

チャネル界面が a-Si/SiO_x と a-Si/SiN_x の TFT は、電界効果移動度は約 0.6cm²/Vs と同等だが前者は V_{th}(10V)及びΔV_{th}が大きい。前者の a-Si 膜欠陥生成エネルギー(0.83eV)が後者(1.05eV)より低く、高ΔV_{th}の原因と考えられる(図 1)。a-Si/SiO_x/SiN_x 構造において SiO_x を 5nm まで薄膜化しても高 V_{th} が維持され、SiO_x 表面の窒素プラズマ処理で V_{th} が低減するため³⁾、高 V_{th} 要因は a-Si/SiO_x 界面分極と考えられる。SiN_x 表面の酸素プラズマ処理で形成した 3nm の超薄膜 SiO_x では、高 V_{th} で低ΔV_{th} な特性が得られる(図 2)。トンネル効果によって極薄 SiO_x を透過して SiN_x に捕獲・蓄積された電子が作る内部電界によって外部ストレス電界が相殺され、a-Si 膜の欠陥生成が抑制されるためと理解できる。詳細は当日報告したい。

【参考文献】

- 1) Y. Kuo, ECS Interface Spring 2013, p.55.
- 2) M. Ando et al., J. Appl. Phys. **118**, 234505 (2015).
- 3) J. H. Kim, Appl. Phys. Lett. **64**, 775 (1994).

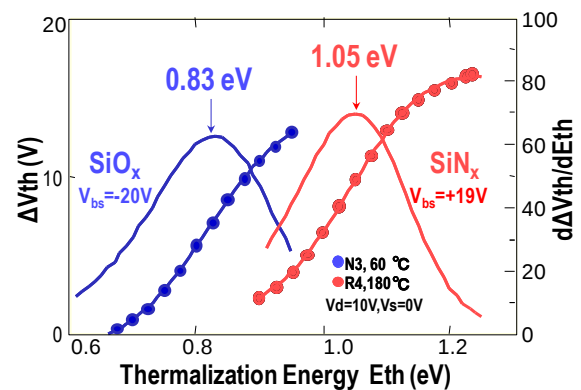


図 1 アモルファス Si 膜欠陥生成エネルギー

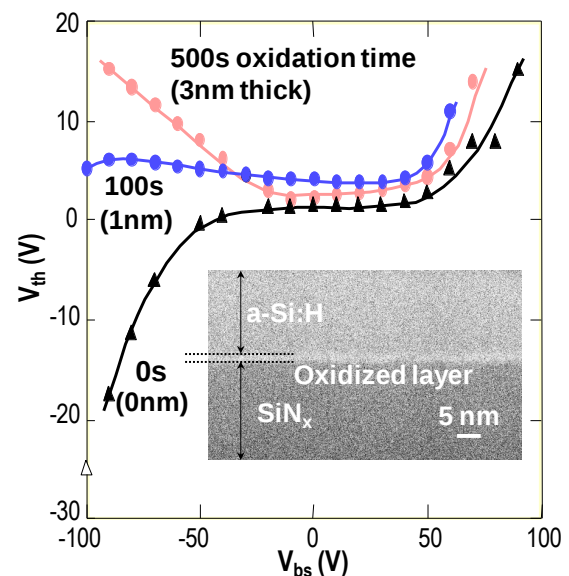


図 2 ゲートストレス電圧印加後の V_{th}