

DRAM リテンション測定を用いた 3DIC 局所曲げ応力の影響評価

Evaluation of Local Bending Stress Effects on 3DIC with Retention Time Measurement of DRAM Cell Array

谷川 星野¹, 木野 久志², 福島 誉史¹, 田中 徹^{1,3}

Dept. of Bioengineering and Robotics, Tohoku Univ.¹, FRIS, Tohoku Univ.²,

Dept. of Biomedical Engineering, Tohoku Univ.³

◎S. Tanikawa¹, H. Kino², T. Fukushima¹, and T. Tanaka^{1,3}

E-mail: link@lbc.mech.tohoku.ac.jp

■研究背景

IC の高性能化はスケーリング則に従ったトランジスタの微細化により実現してきた。しかし、微細化による性能向上が飽和しつつあり、微細化に依存しない高性能化を実現する技術が要求されている。そのため積層した複数の IC チップ間を TSV (Through Silicon Via) と金属マイクロバンプによって電気的に接続することで IC の高性能化を実現する 3DIC (Three Dimensional Integrated Circuit) が注目されている。

しかし、3DIC は積層した IC チップ間に注入した接着剤の熱硬化収縮に起因した局所曲げ応力が発生し、IC の特性を変化させることが懸念されている[1]。この局所曲げ応力の概要を図 1 に示す。

筆者らはこれまで積層チップ間の接着剤に起因した局所曲げ応力の評価方法としてプレーナ型 MOS キャパシタを有する DRAM (Dynamic Random Access Memory) セルアレイを用いた手法を提案してきた[2]。本研究では DRAM の“0”リテンション及び“1”リテンション時間をそれぞれ測定することで局所曲げ応力が半導体デバイスに与える種々の影響の詳細分析を試みた。なお、DRAM の MOS キャパシタにおいて反転層が形成されている状態を“1”、反転層が形成されていない状態を“0”とする。

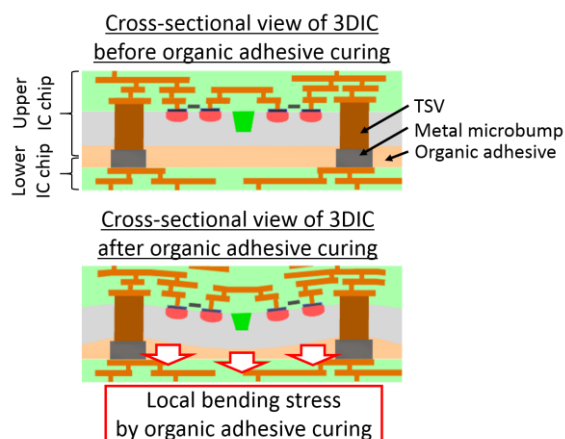


Fig.1. Schematic drawing of local bending stress induced in 3DIC.

■実験

DRAM チップを測定用基板にフリップチップ接合した評価試料を使用した。評価試料は制御した局所曲げ応力を発生させるために電気的接続を行わないダミー Cu/Sn バンプを有している。DRAM チップの Si 基板厚さは 200 μm 、局所曲げ応力を発生させるダミー Cu/Sn バンプのサイズは 20 $\times$ 80 μm 、ピッチは 220 μm 、高さは 8 μm である。その後、DRAM セルアレイに対して“0 $\rightarrow$ 1”および“1 $\rightarrow$ 0”のリテンション時間をそれぞれ測定した。プレーナ型 MOS キャパシタにおいて、それぞれの情報状態の推移は種々のキャリアの伝導経路に影響を受けると考えられる。今回、“0 $\rightarrow$ 1”および“1 $\rightarrow$ 0”のそれぞれのリテンション時間の測定結果から、局所曲げ応力が種々のキャリア伝導に及ぼす影響を分析した。

■結果

リテンション時間の測定結果を図 2 に示す。“0 $\rightarrow$ 1”および“1 $\rightarrow$ 0”のリテンション時間に明確な違いが観察された。キャリアの伝導経路に関する考察も含め、講演ではより詳細な分析結果を発表する予定である。

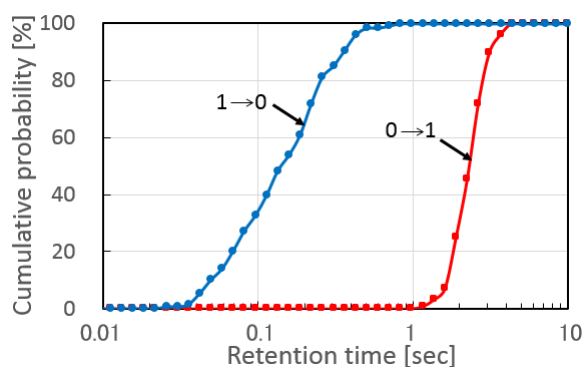


Fig.2. Retention time characteristics of DRAM cell array with local bending stress.

■参考文献

- [1] H. Kino, *et al.*, JJAP, 52, pp. 04CB11-1-04CB11-5, 2013
- [2] S. Tanikawa, *et al.*, JJAP, 2016, in press.