

マイクロ流路を用いた微細素子のアレイ化

Microfluidic-based arraying of micro rectangular components

○岡田 義之、川合 健太郎、有馬 健太、森田 瑞穂（阪大院工）

○Yoshiyuki Okada, Kentaro Kawai, Kenta Arima, Mizuho Morita (Osaka Univ.)

E-mail: okada@pm.prec.eng.osaka-u.ac.jp

次世代デバイスとしてプラスチック基板を用いたフレキシブルディスプレイが注目を集めている。しかし従来のディスプレイ駆動素子である無機 Thin Film Transistor (TFT) の作製ではプラスチック基板の耐熱温度を超える高温プロセスが必要なため、極薄ガラスを基板に用いることや、有機 TFT を用いることなどが検討されている。一方、TFT を単結晶シリコン基板上で作製し、ディスクリート化した後に再配置することで、高い電気特性を持つ TFT をフレキシブル基板上に整列する手法が提案されている¹⁾。ミリメートルから数十マイクロメートルの Si チップを配列させる方法として、表面張力を用いた手法²⁾が使用されてきたが、この手法ではチップが $20\mu\text{m}$ 以下になると配列できない、向きの制御できないなどの課題が残る。

我々はマイクロ流路を用いた手法³⁾に注目し、直方体微細素子の配列を行った。概念図を図 1 に示す。流路は Path A、Path B に分岐しており、微細素子は流量の大きい Path A に流れ、流路を塞ぐ形で配列される。後続の素子は Path B を流れて次のトラップへ進む。この手法では配列数に対して素子を過剰に必要とせず、高い歩留まりで配列することが出来る。

Si 微細素子の代替として、一辺 $35\mu\text{m}$ の立方体チップを永久膜用ネガ型フォトレジスト SU-8 3035 で作製した。流路はポリジメチルシロキサン(PDMS)のソフトリソグラフィで作製した。SU-8 3035 をパターニングしてシリコン基板上に流路の鋳型を作製し、PDMS に転写した。硬化させた後にプラズマ処理によって PDMS とスライドガラスを接合した。

図 2 に SU-8 チップがマイクロ流路内を流れる様子を示す。 $35\mu\text{m}$ の立方体 SU-8 チップは流路内で回転せず、正方形の断面に沿うように流れ、トラップ部直前の流路に丸みを持たせることでトラップの形状に合うように角度をそろえて配列された。図 3 に SU-8 チップをアレ

イ化した結果を示す。SU-8 チップは流路のトラップ間隔である $125\mu\text{m}$ 間隔で配列された。

以上よりマイクロ流路を用いて立方体の微細素子を、角度をそろえてアレイ化出来る事が分かった。今後は上下を制御して流路に導入することで TFT の配列に応用できると考えられる。

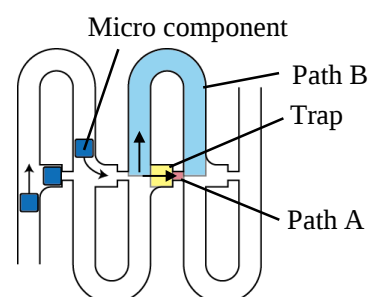


Fig.1 Schematic diagram of micro components arraying principle

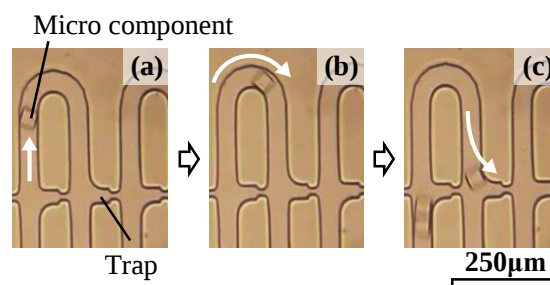


Fig.2 (a)-(c) Microscopic image of arraying micro components

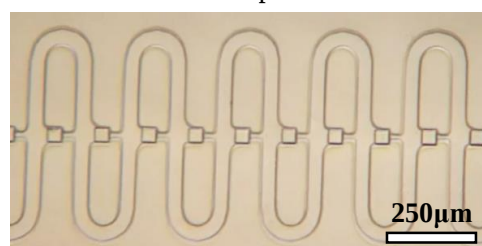


Fig.3 Microscopic image of arrayed micro components

参考文献

- 1) Kohei Sakaike et al., Appl. Phys. Lett. **103** (2013) 233510
- 2) Robert J. Knuesel et al., J. Microelectromech. Syst. **21** (2012) 85
- 3) Wei-Heong Tan et al., PNAS **104** (2007) 1146