

縦型ダイヤモンド JFET の作製

Fabrication of Vertical Diamond JFETs

東工大¹, ALCA², CREST³, 産総研⁴ ○諏訪 泰介¹, 岩崎 孝之^{1,2,3},

加藤 宙光^{3,4}, 牧野 俊晴^{3,4}, 小倉 政彦^{3,4}, 竹内 大輔^{3,4}, 山崎 聡^{3,4}, 波多野 睦子^{1,2,3}

Tokyo Institute of Technology¹, ALCA², CREST³, AIST⁴, [○]T. Suwa¹, T. Iwasaki^{1,2,3},

H. Kato^{3,4}, T. Makino^{3,4}, M. Ogura^{3,4}, D. Takeuchi^{3,4}, S. Yamasaki^{3,4} and M. Hatano^{1,2,3}

E-mail: suwa.t.ab@m.titech.ac.jp

【背景・目的】 ダイヤモンドはその優れた物性値から、次世代パワーデバイス材料として期待されている。(001)基板上で選択成長法[1]を利用した横型 pn 接合をゲートに用いた JFET を開発し、高温動作・破壊電界などの優位性を示してきた[2]。本研究ではパワーエレクトロニクス応用において重要な縦型構造 JFET の実現を目的として、縦型作製に必要となるプロセスの検討を行った。

【縦型 JFET 構造】 Fig.1a に作製した縦型 JFET の模式図を示す。 n^+ 層に印加するゲート電圧により、 p チャネル内に伸びる空乏層を伸縮させソース-ドレイン間の電流を制御するデバイス構造である。選択成長法により n^+ 層は p チャネルを囲むように形成されるため、層間絶縁膜を用いてコンタクトを取る必要がある。加えて、サブミクロンオーダーでのコンタクトホール位置合わせ精度が必要となる。これらを実現するため、EB リソグラフィの位置合わせの目安となる高精度なアライメントマークが要求される。

【作製方法と結果】 IIb(100)ダイヤモンド基板上に CVD で p 型薄膜($8 \times 10^{16} \text{ cm}^{-3}$) を $6 \mu\text{m}$ 堆積後、マスクとして Au/Ti/SiO₂ (200/10/350 nm)膜を EB リソグラフィによりパターンニングした。このマスクを用いて ICP エッチングによりチャネル構造を形成した。チャネル周囲に選択成長法を用いて n⁺型ダイヤモンド($8 \times 10^{19} \text{ cm}^{-3}$)を形成した。この際、後工程で必要となる合わせ精度低下を防ぐためアライメントマークを Ti(500 nm)で保護した。n⁺型 CVD 前後でアライメントマークが変形していないことを確認した。絶縁膜として SiO₂(460 nm)を堆積し、その膜に ICP エッチングとウェットエッチングによってコンタクトホールを形成した。Fig.1b と 1c に JFET 構造を上から見た模式図と SEM 像を示す。チャネル(幅 $1.7 \mu\text{m}$ 、高さ $1.5 \mu\text{m}$)の微細加工、ゲートの自己整合的形成、さらにコンタクトホールの高精度な形成を確認した。最後にソース電極とゲート電極、裏面にドレイン電極を形成し縦型 JFET 構造を作製した。なお、本研究は MANA ファウンドリ(NIMS)、NPF(AIST)の支援を受けた。

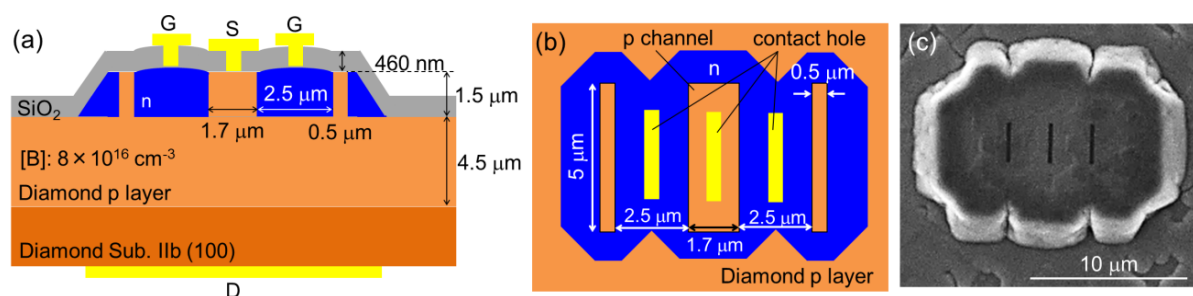


Figure 1 Vertical diamond JFET. (a) Cross-sectional and (b) top-view schematics. (c) SEM image.

[1]. H. Kato, et al. Appl. Phys. Express 2, 055502, 2009. [2]. T. Iwasaki, M. Hatano, et al., IEEE EDL 35, 241, 2014.