Ar プラズマエッチングを用いた二段階ゲートリセス構造を持つ InGaAs 系 HEMT の試作とその特性 InGaAs-HEMTs with two-step recessed gates by Ar plasma etching 東北大通研、⁰細谷 友崇、尾辻 泰一、末光 哲也 RIEC, Tohoku Univ., ^oT. Hosotani, T. Otsuji, T. Suemitsu

E-mail: tomo@riec.tohoku.ac.jp

1,はじめに

InGaAs 系 HEMT はミリ波・サブミリ波帯でのキーデバイスとして注目されている。素子のバラ ツキを抑えるため、ゲート電極とチャネル部分の間に InP エッチストップ層を挿入したエピ構造 が幅広く用いられている。しかし、この InP エッチストップ層はゲート電極とチャネル層の距離 を広げてしまい、HEMT の高性能化という面からは望ましくない。

本研究では、Ar プラズマによる異方性エッチングを用いて InP エッチストップ層を選択エッチン グしたうえでゲート電極を蒸着する、というプロセス[1]を用いて HEMT を試作した。以下にデバ イスの測定結果及び考察を報告する。

2, デバイス構造・測定結果

試作には InP 基板上に MOVPE 法によって成長した InAlAs/InGaAs HEMT エピタキシャル結晶を 用いた。HEMT 層構造は、表面から n-InGaAs/InAlAs キャップ層 30nm、InP エッチストップ層 6nm、 InAlAs バリア層 5nm、 n-InAlAs キャリヤ供給層 5nm、InAlAs スペーサ層 3nm、InGaAs チャネル 層 15nm、InAlAs バッファ層 100nm であった。InP エッチストップ層のエッチングには SAMCO 社製 RIE-10NR を用い、Ar ガス流量 40scm、Ar ガス圧力 2Pa、RF 出力 50W の条件で行った。Ar エッチング時間ごとに試作したゲート長 200nm、ゲート幅 100um のデバイスの I_d-V_{gs} 特性を Fig.1 に示す。Ar エッチングにより閾値が正方向に変化した。Ar エッチングを適用した素子の閾値は、 InP エッチストップ層を省いたゲート-チャネル間距離で計算した閾値とほぼ一致しており、二段 階リセス構造が実現できていると推測される。また、最大相互コンダクタンス(g_m)及び遮断周波数 (f_T)はAr エッチングを 50 秒行ったもので最大となり、エッチング時間を 100 秒に増やした素子で は、g_m及び f_Tの低下とオフ電流の増加が観測された。

Ar エッチング時間 50 秒のデバイスに注目し、各デバイススペックでゲート電流(Ig)を比較したものを Fig.2-3 に示す。同じゲート幅(Wg)ではゲート長(Lg)が長いほど Ig は増えたが、同じゲート長では、ゲート幅による Ig の依存は見られなかった。

3、考察

Ar エッチングによる HEMT の性能向上を確認できた。 しかし今回のエッチング条件ではオーバーエッチン グによる gm の劣化とリーク電流の増加が発生し、選 択エッチングの機能を果たすには不十分であった。ま た、Igはゲート幅に依存しないところでリークしてい ることがわかった。このことより、メサ端などゲート 長によらない箇所に Igが集中していると思われる。今 後は Ar プラズマエッチングについてより低ダメージ となる条件を検討し、閾値の均一性・再現性を確保可 能な選択エッチングを確立し、リーク電流を抑えた InGAAs 系 HEMT の実現を目指す。

○謝辞

本研究は、東北大通研付属ナノ・スピン実験施設で行われた。

[1] T. Suemitsu, et al., IEEE Trans. Electron Devices 49 (2002) 1694.





