

プラズマ CVD $\text{SiO}_2/\text{InAlN}$ 界面への Al_2O_3 超薄膜層挿入の効果

Effect of Insertion of Al_2O_3 Ultrathin Layer into PECVD $\text{SiO}_2/\text{InAlN}$ Interface

北大量集センター ○清野 惇、長谷崎 泰斗、横田 直茂、赤澤 正道

RCIQE, Hokkaido Univ.

○Atsushi Seino, Taito Hasezaki, Naoshige Yokota, Masamichi Akazawa

E-mail: seino@rciqe.hokudai.ac.jp

【はじめに】 InAlN は GaN との格子整合が可能で、HEMT のバリア層材料として研究が進められており、絶縁膜を導入し MOS ゲートとすることでリーク電流の低減[1]、さらには 400 GHz の遮断周波数が達成されている[2]。代表的な絶縁膜である Al_2O_3 は InAlN と良好な特性を有する界面を形成する[3]が、 SiO_2 はより大きな禁制帯幅を有する。本報告においては、デバイス作製プロセスの自由度を広げるために、一般に広く用いられているプラズマ CVD 法により形成した $\text{SiO}_2/\text{InAlN}$ 界面の特性を、極薄 Al_2O_3 層挿入により制御することを試みた結果を報告する。

【実験】 試料断面構造を Fig.1 に示す。サファイア基板上に GaN バッファ層を介して MOVPE 成長された InAlN を用いた。オーミックコンタクト形成後、ALD により Al_2O_3 を 2 nm 堆積した。その後プラズマ CVD を用いて SiO_2 を 18 nm 堆積し、ゲート電極を蒸着した。今回作製した試料は InAlN を 160 nm と十分厚くし、高濃度に Si をドーピングすることで MOS 構造として評価できる試料とした。また、比較試料として Al_2O_3 層を挿入しない MOS 構造をも作製した。

【結果】 C-V 測定結果から Terman 法を用いて算出した、界面準位密度分布を Fig.2 に示す。 $\text{SiO}_2/\text{InAlN}$ MOS 構造と比較して、 Al_2O_3 層を挿入することで界面準位密度が低減した。

【謝辞】 本研究は、科学研究費助成事業基盤研究(C)(15K04672)の援助を受けた。

[1] G. Pozzovivo et al., Appl. Phys. Lett. 91, 043509 (2007).

[2] Y. Yue et al., IWN2012, SLN-3 (2012).

[3] M. Chiba et. al., phys. status solidi C11, 902 (2014).

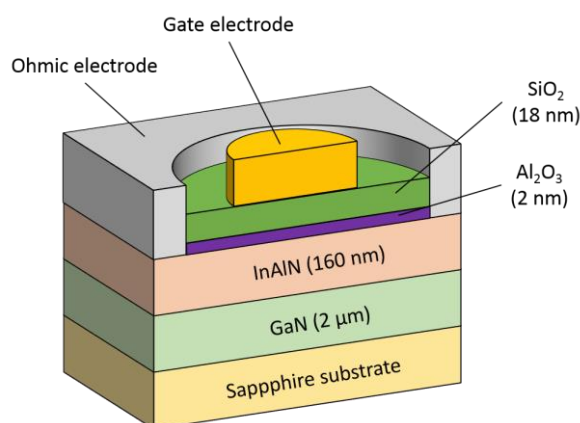


Fig.1 Cross-sectional sample structure.

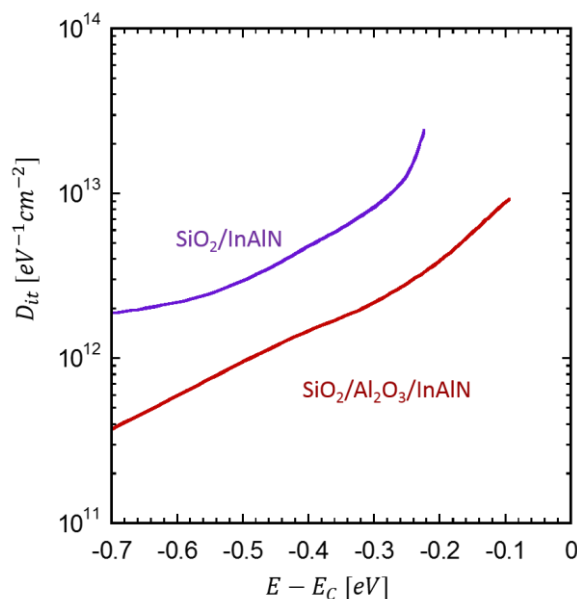


Fig.2 Interface State Density