## 極薄 ALD-Al<sub>2</sub>O<sub>3</sub> キャップ層を用いた La<sub>2</sub>O<sub>3</sub>/InGaAs MOS 界面の改善

Improvement of MOS Interfaces of La<sub>2</sub>O<sub>3</sub>/InGaAs

by Ultra-thin ALD Al<sub>2</sub>O<sub>3</sub> Capping Layers

<sup>0</sup>張志宇<sup>1,2</sup>、竹中充<sup>1,2</sup>、高木信一<sup>1,2</sup>(1. 東大院工、2. JST-CREST)

<sup>o</sup>C.-Y. Chang<sup>1, 2</sup>, M. Takenaka<sup>1, 2</sup> and S. Takagi<sup>1, 2</sup> (1.The University of Tokyo, 2.JST-CREST)

E-mail: cychang@mosfet.t.u-tokyo.ac.jp

【はじめに】近年、InGaAs 上に La<sub>2</sub>O<sub>3</sub>を堆積 して形成した MOS 界面では、InGaAs と La<sub>2</sub>O<sub>3</sub> が相互拡散を起こすことにより、従来の Al<sub>2</sub>O<sub>3</sub>/InGaAs MOS 界面より低い界面準位密度 ( $D_{ii}$ )が得られることが示された[1, 2]。しかし、 原子層堆積法 (ALD)で堆積した La<sub>2</sub>O<sub>3</sub> は膜中 にスロートラップが多く存在する欠点がある ため、La<sub>2</sub>O<sub>3</sub>/InGaAs MOS キャパシタの C-V 特 性に大きなヒステリシスが見られる[2]。そこ で本研究では、ALD La<sub>2</sub>O<sub>3</sub> 中のスロートラップ を低減するため、La<sub>2</sub>O<sub>3</sub> の上に *in-situ* で極薄 Al<sub>2</sub>O<sub>3</sub>を堆積した Al<sub>2</sub>O<sub>3</sub>/La<sub>2</sub>O<sub>3</sub>/InGaAs ゲートス タック構造を試作し、その電気特性を Al<sub>2</sub>O<sub>3</sub>/ InGaAs 及び La<sub>2</sub>O<sub>3</sub>/InGaAs MOS キャパシタと 比較したので、その結果を報告する。

【実験結果】図1に(a) La<sub>2</sub>O<sub>3</sub>(10 nm)/InGaAsと (b) Al<sub>2</sub>O<sub>3</sub> (3-cycle)/La<sub>2</sub>O<sub>3</sub> (10 nm)/InGaAs O MOS キャパシタの C-V 特性を示す。図 1 に La<sub>2</sub>O<sub>3</sub> の上に極薄(3-cycle)の Al<sub>2</sub>O<sub>3</sub>キャップ層を堆積 することによって、C-Vのヒステリシスが小さ くなることから La<sub>2</sub>O<sub>3</sub> 膜中のスロートラップ が減少することが分かる。図2に表面ポテンシ ャル揺らぎモデルを用いた Conductance 法[3] で測定した D<sub>it</sub>のエネルギー分布を示す。 Al<sub>2</sub>O<sub>3</sub>/La<sub>2</sub>O<sub>3</sub>/InGaAs MOS 界面は La<sub>2</sub>O<sub>3</sub>/InGaAs と同様に、Al<sub>2</sub>O<sub>3</sub>/InGaAs MOS 界面より低い D<sub>it</sub> が得られることが分かる。また、Conductance 法に Brews モデル[3, 4]を適用して求めた表面 ポテンシャル揺らぎ(o,)を図 3 に示す。Brews モデルに従うと、 $\sigma_s^2$ は MOS 界面近傍の固定電 荷面密度(Nf)と界面にトラップされた電荷の面 密度( $N_{it}$ )の和に比例する( $\sigma_s^2 \propto N_f^+ + N_{it}^+ + N_f^- +$ *N*<sub>it</sub>)。図 3 から、極薄 Al<sub>2</sub>O<sub>3</sub> キャップ層形成に より、osが低下しており、MOS 界面近傍の電 荷の総量が低減していることが示唆される。 MOS 界面近傍の電荷は、クーロン散乱体とし て働き、結果として、 $\sigma_s$ と MOS 界面移動度に は相関があることが報告されている[5]ことか ら、Al<sub>2</sub>O<sub>3</sub>/La<sub>2</sub>O<sub>3</sub>/InGaAs MOSFET では高い移動 度が期待できる。

 $Al_2O_3$  (3-cycle)/La<sub>2</sub>O<sub>3</sub> (10 nm)/InGaAs 構造を 用いて作製した MOSFET の  $I_{S}$ - $V_G$  特性を図 4 に、その移動度特性を図 5 に示す。 Al<sub>2</sub>O<sub>3</sub>/La<sub>2</sub>O<sub>3</sub>/InGaAs MOSFET は、高い移動度を 示しており、図 3 の表面ポテンシャル揺らぎの 結果と一致していることが分かる。

【結論】 極薄 Al<sub>2</sub>O<sub>3</sub> キャップ層により、 La<sub>2</sub>O<sub>3</sub>/InGaAs 中のスロートラップと MOS 界面 近傍における電荷の低減を実現した。この La<sub>2</sub>O<sub>3</sub>/InGaAs MOS 界面特性の改善により、 MOSFET の移動度が向上することを実験的に 示した。

【謝辞】InGaAs エピ基板を提供頂いた、住友化学の市 川磨氏、長田剛規氏、秦雅彦氏、山田永氏に感謝する。

【参考文献】[1] D. H. Zadeh *et al.*, *IEDM*, 2.4.1 (2013). [2] C.-Y. Chang *et al. J. Appl. Phys.*, **118**, 085309 (2015). [3] E. H. Nicollian and J. R. Brews, *MOS Physics and Technology*, New York, Wiley (1982). [4] J. R. Brews, *J. Appl. Phys.*, **43**, 2306 (1972) [5] W. Cai *et al.*, *IEEE Electron Device Lett.*, **36**, 1183 (2015)



Fig. 1 C-V curves of (a) W/La<sub>2</sub>O<sub>3</sub> (10 nm)/InGaAs, (b) W/Al<sub>2</sub>O<sub>3</sub> (3-cycle)/La<sub>2</sub>O<sub>3</sub> (10 nm).



Fig. 2. Energy distribution of  $D_{it}$  distribution of the 3 gate stacks.



Fig. 4  $I_{\rm S}$ - $V_{\rm G}$  of the fabricated W/Al<sub>2</sub>O<sub>3</sub> (3-cycle)/La<sub>2</sub>O<sub>3</sub> (10 nm)/InGaAs MOSFETs.





Fig. 5 Effective mobility of MOSFETs with the 3 gate stacks.