

ZrO₂/Al₂O₃/ZrO₂ スタック構造を用いた DRAM キャパシタにおけるリーク電流特性の改善

Improvement of leakage current properties for DRAM capacitors with ZrO₂/Al₂O₃/ZrO₂ stack structure

明治大学¹, 物質・材料研究機構²

女屋 崇^{1,2}, 生田目 俊秀², 澤田 朋実², 栗島 一徳^{1,2}, 大井 暁彦², 知京 豊裕², 小椋 厚志¹

Meiji University¹, NIMS WPI-MANA²

T. Onaya^{1,2}, T. Nabatame², T. Sawada², K. Kurishima^{1,2}, A. Oh², T. Chikyow², and A. Ogura¹

E-mail: ee21213@meiji.ac.jp

【はじめに】DRAM 用キャパシタ絶縁膜には、2020 年に誘電率(k)>65、動作電圧 0.6 V でのリーク電流 $\leq 1.6 \times 10^{-7}$ A/cm²、プロセス温度 <650 °C 及び 3 次元構造への均質成膜が要求されている。^[1] 現在、キャパシタ絶縁膜として $k=20\sim 47$ である ZrO₂ 層間に Al₂O₃ 層を挿入した ZrO₂/Al₂O₃/ZrO₂ (ZAZ) のスタック構造が盛んに研究されている。^[2-3] 本研究では、原子層堆積(ALD)法で作製した ZAZ を絶縁膜とした TiN 電極の MIM キャパシタを用いて、リーク電流特性の低減へ効果的な ZrO₂ 及び Al₂O₃ 層の膜厚について検討した結果を報告する。

【実験条件】まず、SiO₂(100 nm)/Si 基板上にスパッタ法で膜厚 100 nm の TiN 下部電極を作製して、続いて、ZAZ キャパシタ絶縁膜を形成した。第一 ZrO₂(1st ZrO₂)、Al₂O₃ 及び第二 ZrO₂(2nd ZrO₂)層は ALD 法で成膜して、各々の膜厚は ALD サイクル数を変えることで調整した。その後、600 °C で 30 秒間、O₂ 雰囲気中で熱処理した。最後に、TiN(100 nm)上部電極を形成して、TiN/ZAZ/TiN 構造の MIM キャパシタを作製した。

【結果】Fig. 1 に、Al₂O₃ 層の膜厚が 0.5 nm の TiN/ZAZ/TiN キャパシタの EOT と 1st 及び 2nd ZrO₂ 層を合算した膜厚の関係を示す。ZrO₂ 膜厚の増加に対して EOT 値は直線関係を満足しており、この傾きより求められた ZrO₂ の k 値は 34 であった。この k 値は XRD の結果より同定された単斜晶、正方晶及び斜方晶の結晶構造に起因すると考えられる。また、Fig. 2 に、単一の ZrO₂ 層の膜厚が 3.5 及び 3.8 nm の TiN/ZAZ/TiN キャパシタの I-V 測定より得られた $J_g=1.6 \times 10^{-7}$ A/cm² での電圧と Al₂O₃ 膜厚の関係を示す。一層の ZrO₂ 層の膜厚が 3.5 nm では、Al₂O₃ 層の膜厚を 1.0 nm 挿入してもリーク電流が大きく耐圧は 0.6 V 以下であった。一方、ZrO₂ 層が 3.8 nm の場合、Al₂O₃ 層の膜厚を 0.4 nm 以上に増加することでリーク電流は低減して耐圧が約 1 V と向上した。以上より、Al₂O₃ 層の膜厚と ZAZ 絶縁膜の誘電率及びリーク電流がトレードオフの関係にあることより、ZrO₂ 及び Al₂O₃ 層の最小膜厚は各々 3.8 及び 0.4 nm であることが分かった。

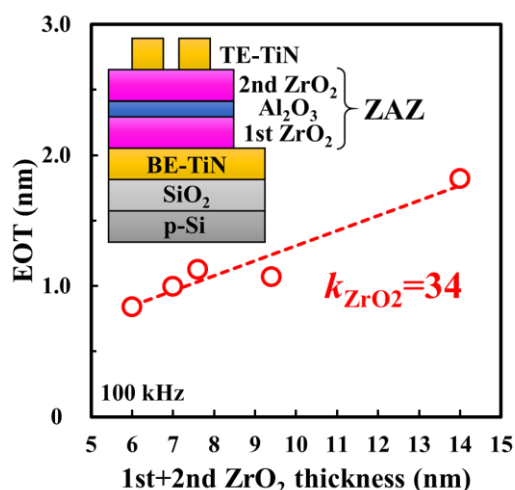


Fig. 1 Relationship between physical thickness of 1st+2nd ZrO₂ layer and EOT.

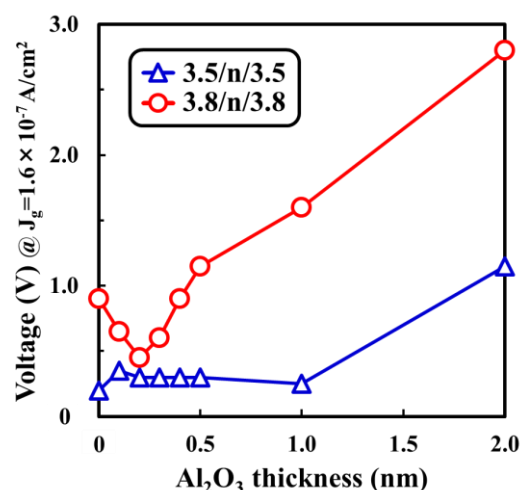


Fig. 2 Relationship between physical thickness of Al₂O₃ layer and voltage at $J_g=1.6 \times 10^{-7}$ A/cm².

[1] International Technology Roadmap for Semiconductors, 2013 ed.

[2] D. Vanderbilt et al., *Thin Solid Films*. 486, 125 (2005)

[3] D. Martin et al., *J. Appl. Phys.* 113, 194103 (2013)