

ZrO₂/Si 構造における界面層作製手法の検討

Consideration of Fabrication Method in ZrO₂/Si Interface Layer

○杉野 優介、岩崎 好孝、上野 智雄（農工大院工）

○Yusuke Sugino, Yoshitaka Iwazaki, Tomo Ueno (Tokyo University of Agriculture and Technology.)

E-mail: s156596y@st.go.tuat.ac.jp

・研究背景

現在 High-k 材料として最有力であり一部で実用化も始まっている Hf 系酸化物は高い比誘電率を有するが、完全酸化に必要となる酸化プロセス温度が比較的高く、今後の各種半導体基板への適用の際、そのプロセス温度の低温化要求に応えられなくなる可能性がある。

そこで我々はこれよりも低温のプロセス温度領域でも比較的良好な特性を持つ Zr 酸化物に着目し、かつ、成膜手法に関しては ECR スパッタを用いることで、下地となる半導体基板へのダメージの少ない High-k 膜作成手法の確立を試みている。しかしながらスパッタによる室温での成膜手法では成膜後の加熱処理が必要不可欠であり、本研究ではプロセスの上限温度を 200℃に設定し諸特性の検証を行っているが、比較的低温域である 200℃というプロセスにおいても直接堆積の ZrO₂/Si 構造では相互拡散による界面特性の悪化が確認された。

本研究では 200℃以下での界面層作製手法として SPM 洗浄などで用いられたピラニア溶液による化学酸化膜に着目し、界面特性の改善を検証した。

・実験

p-Si(100)基板を有機洗浄およびフッ酸処理後、基板温度を室温に保ったまま、以下の条件で ZrO₂/Si 構造を作成した。

- ① 酸素雰囲気下での ECR スパッタによる ZrO₂(~4nm)堆積
- ② 硫酸過酸化水素水による化学酸化膜(~1nm)を成膜後、①と同様の ZrO₂ 堆積

これらに対して成膜後 200℃での N₂ アニールを施した後、電気特性の測定を行った。

・結果

C-V 測定の周波数分散の結果に対し、コンダクタンス法を用いて算出した Gp/ω-V グラフの結果を以下の Fig.1~4 に示す。Fig.1 に①で作製したサンプルの C-V グラフを示す。C-V 特性において、立ち上がり途中での鈍化が顕著であり、また Fig.2 に示す Gp/ω-V グラフからも鈍化付近でのピークが確認された。Fig.3 に②で作製したサンプルの C-V グラフを示す。C-V 特性において形状の変化は軽微であるが、EOT 値の増加が挿入した化学酸化膜の膜厚が 1nm であるのに対して EOT の増加が 0.3nm であることから、化学酸化膜の挿入に

より、拡散が抑止され、拡散による低誘電率層が減少したものと考えられる。また、Fig.4 に示す Gp/ω-V グラフにおいてもピーク値が減少していることから、化学酸化膜が界面層として有効であることが示唆された。

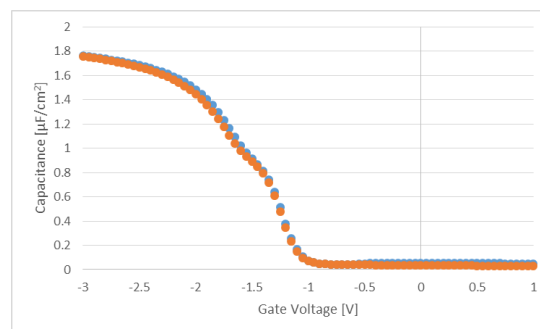


Fig.1 ①のサンプルの C-V グラフ (@100kHz, EOT=1.9nm)

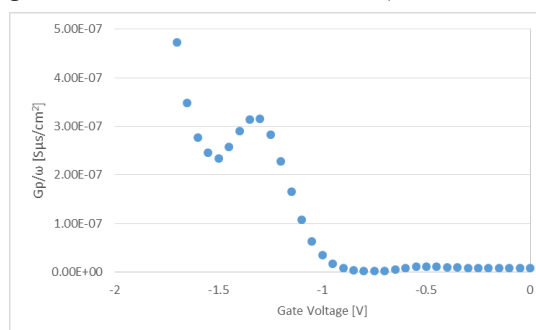


Fig.2 ①のサンプルの Gp/ω-V グラフ (@100kHz)

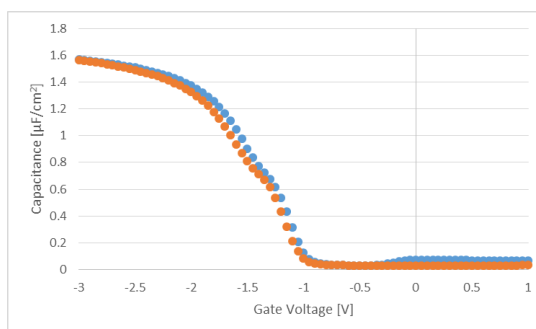


Fig.3 ②のサンプルの C-V グラフ (@100kHz, EOT=2.2nm)

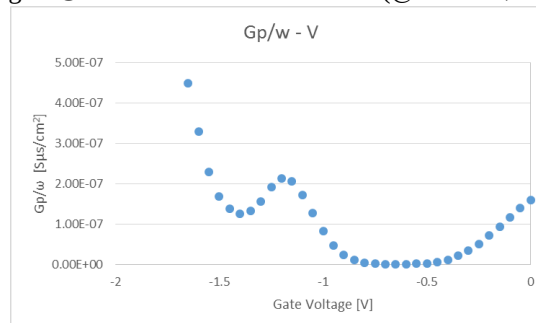


Fig.4 ②のサンプルの Gp/ω-V グラフ (@100kHz)