

スパッタエピタキシーによる p⁺エミッタ型 Si 太陽電池の開発

Single Crystalline Si Solar Cell with Sputter Epitaxially Grown p⁺ Emitter

島根大学, °森山 光, 葉 文昌

Shimane Univ, °Hikaru Moriyama, Wenchang Yeh

[はじめに] 我々はこれまでに DC スパッタエピ成長法での低温高速スパッタの実現[1]や, スパッタエピタキシーでの n⁺エミッタ型 Si 太陽電池の作製[2]に成功している. 私たちはスパッタエピタキシーによる背面接合型太陽電池の作製を目指しているが, その為にはエピタキシャル成長した p⁺エミッタを持つ Si 太陽電池の動作確認が必要である. 本研究では p⁺エミッタ型 Si 太陽電池を作製し動作確認した.

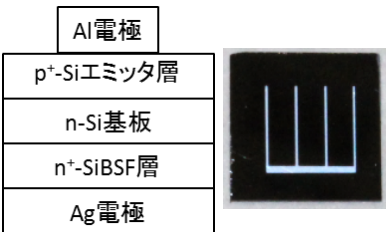


図 1 太陽電池構造

[実験方法] 図 1 に今回作製する太陽電池構造を示す. Si 基板 (1-10 Ω・cm) をオゾン洗浄, フッ酸処理し DC スパッタにより表面エミッタ層及び BSF 層をエピ成長させた. Si 層堆積時の温度は 315℃とした. その後真空中でハロゲンランプアニール (800℃, 5min) を行い, 最後に表面 Al, 裏面 Ag 電極の堆積を行った. まず BSF 膜厚 d_{BSF} を 50nm で固定しエミッタ膜厚 $d_{Emitter}$ を 10~200nm で変化させた. その後 $d_{Emitter}$ を 100nm で固定し d_{BSF} を 0~1000nm で変化させた. AM1.5 模擬太陽光(Class B)照射時の IV 特性を評価した.

[実験結果] 図 2 に変換効率 η の $d_{Emitter}$ 依存を示す. $d_{Emitter}$ = 100nm では 5.7% で η は最大となった. この時 V_{oc} = 0.55 V, J_{sc} = 22.4 mA/cm², FF = 46 % であった. エミッタ層が 100nm 未満では R_{sh} が減少しており J_{sc} 及び V_{oc} , FF が低下したため効率が悪くなった. また, 150nm 以上ではエミッタ層での光吸収が増えたため効率が低下した. 次に η の d_{BSF} 依存を図 3 に示す. d_{BSF} = 10nm で η は 6.4% で最大となった. この時 V_{oc} = 0.50 V, J_{sc} = 24.5 mA/cm², FF = 51 % であった. しかし d_{BSF} 変化では効率はほぼ一定となった. d_{BSF} = 0nm ではショットキー障壁ができ, 良い特性が得られなかった.

[結論] p⁺層がエミッタ膜として動作することが確認できた. $d_{Emitter}$ = 100nm, d_{BSF} = 10nm の時最大効率 η = 6.4% となり, V_{oc} = 0.50 V, J_{sc} = 24.5 mA/cm², FF = 51 % であった.

[参考文献] [1] W. Yeh, et al. Electrochem. Solid State Lett., 12H67, 2009
[2] W. Yeh, et al. Japanese Journal of Applied Physics 53.2 2014: 025502

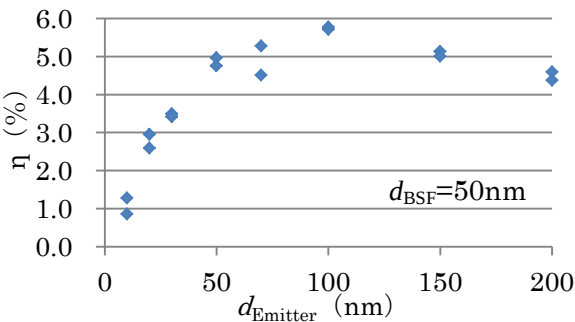


図 2 η の $d_{Emitter}$ 依存

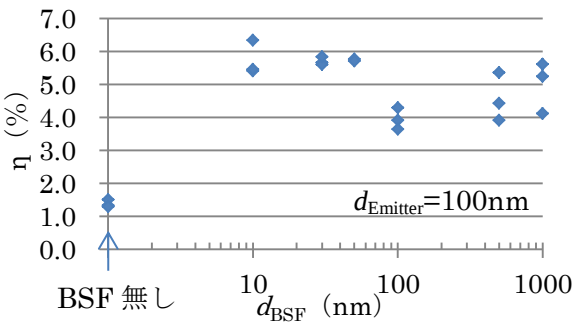


図 3 η の d_{BSF} 依存