

低コストの CMOS を目指した金属ソース・ドレイン電極による p チャネル型 poly Si TFT の実現

Realization of p-channel TFT performance with metal source-drain using BLDA aiming for low-cost CMOS

¹琉球大 工 安次富卓哉¹、原田大成¹、岡田竜弥¹、野口隆¹
²アルバック(株)、西方靖²、太田淳²

¹Univ. of the Ryukyus, T. Ashitomi¹, T. Harada¹, T. Okada¹, T. Noguchi¹

²ULVAC Inc., O. Nishikata², A. Ota²,

E-mail : k148535@eve.u-ryukyu.ac.jp, tnoguchi@tec.u-ryukyu.ac.jp

a-Si に比べ低温 poly Si (LTPS) による薄膜トランジスタ (TFT) は、移動度がはるかに高く、液晶ディスプレイ (LCD) の低消費電力化や CMOS による周辺回路搭載、機能素子回路を同一基板上に造りこむシステムオンガラス (SoG) が可能である。一方、Blue Multi-Laser Diode Annealing (BLDA) は、次世代 LTPS プロセスとして、本研究室より提案、報告されており、不純物をドーパせずに (イオン注入を用いない)、金属 (Ti) Source/Drain (S/D) を用いた n チャネル poly Si TFT の特性が得られている [1, 2]。

低コストで、より低温プロセスでの CMOS 実現を念頭に、a-Si に S/D に金属を用いた p チャネル poly Si TFT を試作し、その可能性を調べた。

ガラス基板の上に a-Si 薄膜を PE CVD により 50 nm 厚に堆積した。a-Si 膜を BLDA で結晶化させ、チャネル層形成後、水素化を施し、S/D 領域に仕事関数の大きい金属の (Au) を真空蒸着法により成膜した。Au のパターニング後、ゲート絶縁膜としての SiO₂ 膜を r.f.スパッタリング法により 100 nm 厚に成膜した。SiO₂ のコンタクトホール形成後、アルミニウム (Al) 電極を形成した。(図 1) TFT 形成後、Si/SiO 界面の欠陥を低減させるために水素 (H₂/N₂) 雰囲気中でアニールを行った。

図 2 より、ゲート電圧 V_g の増加とともにドレイン電流 I_d が増加しており、(n 型 TFT の Ti 電極とは逆に、) 仕事関数の高い Au 電極側より Si チャネル中へ正孔の注入が可能になり、p 型においても TFT 特性が得られたと考えられる。アニール後、ドレイン電流は顕著に増加し、V_g-I_d 特性は向上した [2]。今回の試作結果では、特性のばらつきはあるが、実効移動度 10 cm²/Vs 以上の値も得られた。

ソース・ドレイン電極によるポリ Si TFT は、低温プロセスでの低コスト CMOS 搭載パネルとしての応用が期待される。

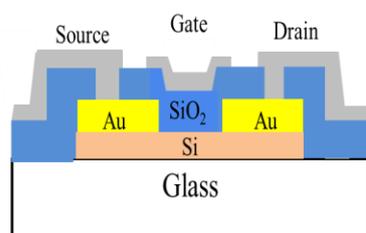


図1 試作したp-チャネルTFTの断面構造

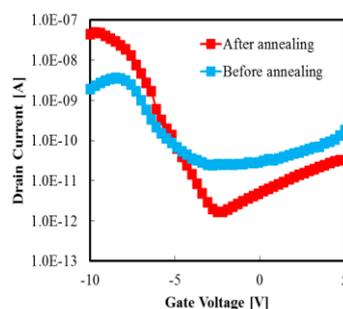


図2 出現したp-チャネルTFTのV_g- I_d 特性 [2]

実効移動度 $\sim 5\text{cm}^2/\text{Vs}$ (L / W=20 μm / 5 μm)

[参考文献]

[1] T. Noguchi, Y. Chen, T. Miyahira, J. D. Mugiraneza, Y. Ogino, Y. Iida, E. Sahota, and M. Terao, Jpn. J. of Appl. Phys., **49**, 03CA10-1-3 (2010).

[2] T. Ashitomi, T. Harada, K. Shimoda, T. Okada, T. Noguchi, O. Nishikata, A. Ota and K. Saito, Proc. of IDW'15, AMD7-4 (2015).