

新たなデバイスへのアプローチ

—A Viable Approach for New Semiconductor Devices—

久本 大

(株)日立製作所研究開発グループ
東京工業大学大学院理工学研究科

Digh Hisamoto (Hitachi, Ltd., Tokyo Institute of Technology)

E-mail: dai.hisamoto.pd@hitachi.com

本講演では、新たなデバイス構造を探る際に、自分で将来のロードマップを考えることで、有効な手がかりが得られる場合があることを紹介したい。

これまで長い間、半導体デバイスの開発においては、ITRS(International Technology Roadmap for Semiconductor Device) ロードマップが指標となってきた。例えば CMOS デバイスをとると、CV/I を FOM(Figure of Merit)として、Dennard の Scaling 則をベースに、従来の延長上にデバイス構造を予測したものであった。しかし、図 1 に示したように、電源電圧のスケールリングは、1V 以下になってからは飽和しており、従来の延長上にロードマップを描くことが出来なくなってきている。特に 2011 年の FinFET の登場によって、階段状の低減がなされ、ロードマップでは対処できない状況が生まれていることは明らかである。また、図 2 に示した無停電電源(UPS)の電力効率のようなシステムの指標においても、既に効率 95%を超えており、効率の向上は飽和した状態にあるため、ロードマップ的な見方では破綻した状況になっている。しかし、例えば 95%あった効率の 2%の向上を、損失の低減としてみると、5%から 3%へと、ほぼ半減する効果となる。電源機器において、こうした損失の低減は、冷却装置を不要にするなど劇的な影響を与えることになる。そのため、ワイドギャップ半導体などの新材料を導入する強いドライビングフォースとなっているが、これらは、ITRS 的なロードマップでは、読み取り難い状況になっている。

ここでは ITRS ロードマップが登場する前のデバイス開発をひとつの手本に、ITRS ロードマップなき時代の、新たなデバイス開発の方法論について議論したい。

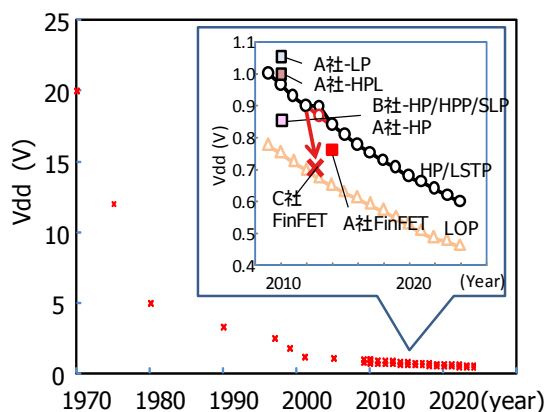


図 1. CMOS 電源電圧の推移(ITRS より作図)

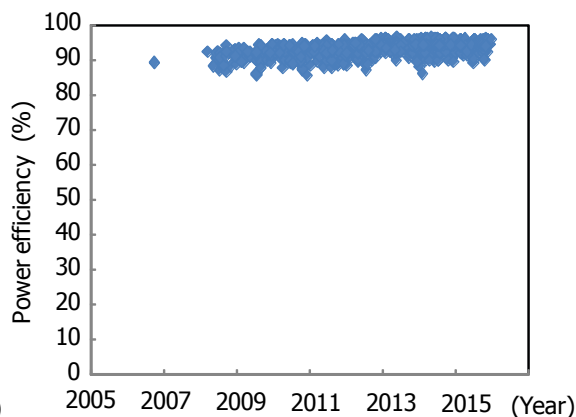


図 2. UPS 電源の電力効率推移(出典 80PLUS)