

## SFQ RAM の構築に向けたメモリセルとデコーダ回路の設計と評価

## Design and evaluation of memory cells and decoder circuits for SFQ RAM

横国大 〇五十嵐 丈, 宮西 駿, 鈴木 秀雄, 山梨 裕希, 吉川 信行

Yokohama Nat. Univ, 〇Igarashi Takeshi, Miyanishi Shun, Suzuki Hideo, Yamanashi Yuki, Yoshikawa Nobuyuki

E-mail: igarashi-takeshi-wv@ynu.jp

## 1. はじめに

我々は低消費電力コンピュータの実現に向け、キャッシュメモリとして高速・低消費電力で動作する単一磁束量子(SFQ: Single Flux Quantum)回路を用いたSFQ RAM (Random Access Memory) [1], [2]の開発を行っている。SFQ RAMの実現には情報の保持を行うメモリセルと2次元アレイ状に並んだメモリセルの1つを選択するデコーダ回路が必要不可欠である。今回、メモリセルおよびデコーダ回路を設計し、動作マージンの改善を行った。また、回路をAIST-ADP2プロセスを用いて試作し、機能の確認と動作マージンの評価を行った。

## 2. メモリセル

今回設計した単極性 VTM (vortex-transition-memory) セルの回路図を Fig.1 に示す。単極性 VTM セルは書き込みゲートと読み出しゲートからなり、入力信号は  $I_D$ ,  $I_X$ ,  $I_Y$ ,  $I_{SX}$ ,  $I_{SY}$  の5本である。書き込み動作は  $I_D$  により書き込む情報の“0”と“1”を指定し、 $I_X$ ,  $I_Y$  で書き込むセルの位置を指定する。読み出し動作は  $I_{SX}$ ,  $I_{SY}$  により読み出すセルの位置を指定し、セル内部の磁束量子の有無を読み出し用 SQUID ( $J_4$ ,  $J_5$ ) で検出する [1]。Fig.2 に半選択動作を含めた低速での測定結果を示す。“1”書き込みを行ってから“0”書き込みが行われるまでの間、正常読み出し動作で“1”が出力されていることから正常動作を確認することができた。

## 3. デコーダ回路

本研究のデコーダ回路にはSFQ NOR型デコーダ [1]を用いている。今回、1 k-bitのSFQ RAMを想定し、5 bitのデコーダ回路の設計を行った。Fig.3に5 bitデコーダ回路の低速測定の結果を示す。測定可能な5アドレスの入力に対して正常な出力が得られており、正常動作を確認することができた。

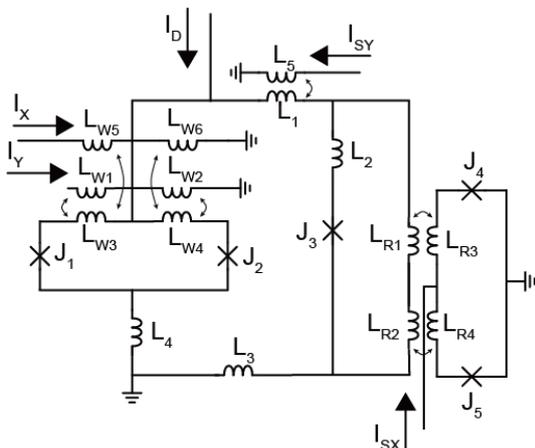


Fig.1 Unipolar VTM cell

## 謝辞

本研究に使用された回路は、(独)産業技術総合研究所(AIST)の超伝導クリーンルーム(CRAVITY)において、AIST-ADP2 プロセスを用いて作製された。本研究はALCA-JSTの支援により行われた。

## 参考文献

- [1] S Nagasawa et al, Supercond. Sci Technol.19 2006 p.S325-S330.
- [2] K. Hinago, et al, Abstracts of ASC 2012, Portland, Oct, 2012.

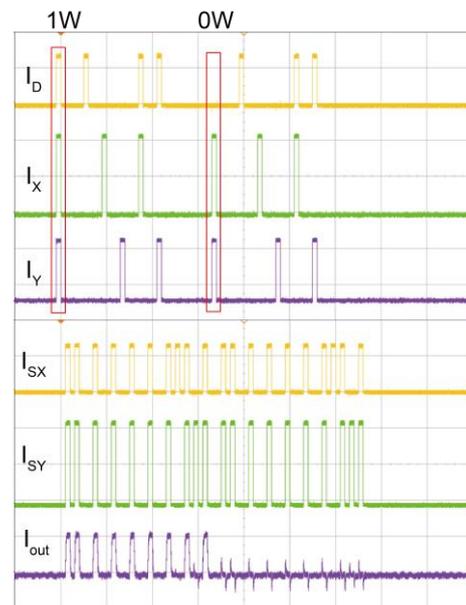


Fig.2 Low-speed measurement results of the unipolar VTM cell

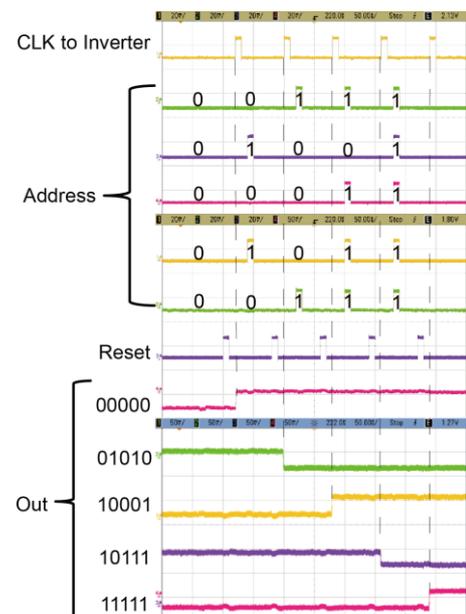


Fig.3 Low-speed measurement results of the decoder circuit