

高温超伝導 Nano-cryotron による高インピーダンストランジスタの作製

Preparation of High-Output-Impedance Transistor Based on HTS Nano-Cryotron

伊藤 雄記、鈴木 雅斗、田中 雅光、赤池 宏之、藤巻 朗 (名大工)

Y. Ito, M. Suzuki, M. Tanaka, H. Akaike, A. Fujimaki (Nagoya Univ.)

E-mail: m.suzuki@super.nuqe.nagoya-u.ac.jp

研究背景 単一磁束量子回路に代表される超伝導デジタル回路は、信号処理に関してはマイクロプロセッサが実証されるなど、多くの実績を積み上げている。実用化への障害は、高速性に見合ったメモリや出力インターフェイスなどを残すのみとなっている。これらの障害は、いずれもジョセフソン接合のたかだか数 mV の低電圧性、あるいは 10 Ω 程度の低インピーダンス性に本質的に起因する。たとえば、サブ V の電圧を発生できれば、半導体を直接駆動可能となる。また、マトリクス状に記憶セルが配置されたメモリのアドレスを確定する時間は、L/R 時定数で決定される。すなわち高速性を実現するには、ビット線、ワード線のドライバに高い出力インピーダンスが要求される。

最近になって、MIT のグループがナノサイズにしたクライオトロン (n-Tron) を提案し[1]、この課題解消に大きな進展をもたらした。熱的に超伝導を破壊することから、抵抗は 100 k Ω 、電圧は数百 mV に達する。本研究では、コヒーレンス長が短く、抵抗率が高いことから、将来的には現在の NbN を凌ぐ性能も期待できる高温超伝導体 YBa₂Cu₃O_{7-x}(YBCO)を用い、n-Tron の作製を行った。

実験 n-Tron は、膜厚 50 nm の YBCO 薄膜を用いて、電子ビームリソグラフィ、Ar イオンビームエッチングにより作製した。Fig. 1 が試作した n-Tron の一例である。この素子では、ゲート(G)の線幅は 0.37 μm 、ソース(S)-ドレイン(D)間の線幅は 2.58 μm となっている。作製した n-Tron のゲート電流 I_G を変化させソース電流 I_S とソース-ドレイン間の電圧 V_{SD} の特性などを評価した。なお、熱的破壊を防ぐために、ソース-ドレイン間には 150 Ω の並列抵抗が配置される測定系となっている。

結果 Fig.2 に 4 K で測定した I_S - V_{SD} 特性を示す。電圧が 50 mV 程度まではフラックスフロー特性を示しているが、それ以上では熱的な常伝導転移が見られ、電圧は一気に 0.2 V 以上に達する。数十～数百 μA のゲート電流によって常伝導転移する電流値、あるいは電圧値も変化がみられる。これらは、ゲート電流によるゲート部の熱的な常伝導転移で、サブ V の電圧を発生させられる可能性を示している。

フラックスフローを熱的な I-V 特性に変化させる方法としてソースドレイン間の線幅を

細く設計するということが挙げられる。現在、ソースドレイン間の線幅を細くした n-Tron の作製を進めている。

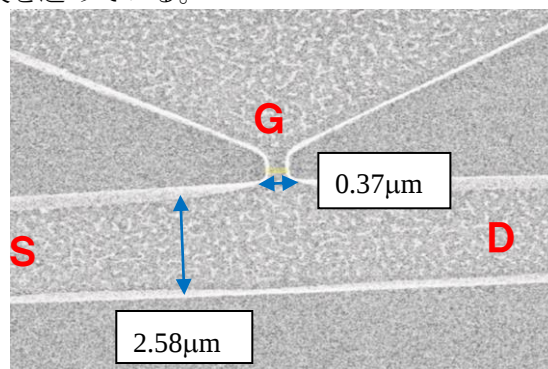


Fig.1 SEM image of a n-Tron

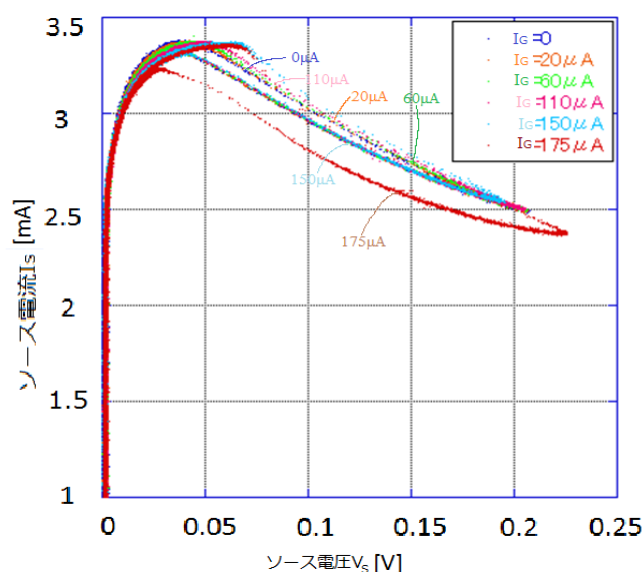


Fig.2 I-V characteristics of a n-Tron

謝辞

本研究は、JST-ALCA および科研費基盤研究 (S) (課題番号 26226019) によって支援されている。

参考文献

- [1] Adam N. McCaughan, Karl K. Berggren
: A superconducting-nanowire 3-terminal electronic device