工学実験への導入を目指した MOSFET の作製

Fabrication of MOSFET for Engineering Experiment

○冨田 昌吾 [1]、辻 琢人 [1]、長岡 史郎 [2]、大谷 真弘 [3]
(1. 鈴鹿高専、2. 香川高専、3. 奈良高専)
°Shogo Tomida[1], Takuto Tsuji[1], Shiro Nagaoka[2], Masahiro Ohtani[3]
(1. NIT, Suzuka College, 2. NIT, Kagawa College, 3. NIT, Nara College)
E-mail: takuto@elec.suzuka-ct.ac.jp

これまで我々は，Si 太陽電池を作製する実験教材を構築してきた．この実験教材は，様々な制限のある高専でも工学実験に導入しやすいように，汎用性の高い電気炉や蒸着装置などを使って，必要最低限の簡略化したプロセスで Si 太陽電池を作製できる[1]. 構築した実験教材は実際に工学実験などに導入し，有効に活用している[2]．Si 太陽電池を作製する実験教材で確立した n 型不純物拡散層及びアルミニウム(Al)電極を簡易な方法で形成するプロセスとあわせて，フォトリソグラフィとゲート酸化膜形成プロセスを新たに確立することができれば，集積回路に必須の MOSFET を作製する実験教材を構築できる．そこで，これまでに確立した Si 半導体素子の作製技術を基に，簡略化した方法で MOSFET の作製を試みた．

MOSFET の作製には，フォトリソグラフィとゲート酸化膜形成プロセスを確立しなければならなかったので，まずそれぞれのプロセスの確立を試みた．その結果，MOSFET 作製で必要な個々のプロセスを確立することができたことから，p 型 Si 基板を使って nMOSFET の作製を試みた．我々の nMOSFET 作製プロセスでは，ソース及びドレインの n^+領域は，n 型ドーパントの P を含んだ SOG を Si 基板に塗布・熱処理して形成している．また，Al 電極の形成ではメタルマスクを使うことでフォトリソグラフィ及び Al エッチングを省き，プロセスを簡略化している．

このようにして作製した，ゲート幅:170μm，ゲート長:335μm の nMOSFET のドレイン電流(I_d)–ドレイン電圧(V_d)特性を図 1 に示す．図 1 に示すように，良好な I_d–V_d 特性が得られていることから，簡略化した作製プロセスで MOSFET を作製できる見通しが得られた．これを実験教材として工学実験などで活用することによって，半導体工学を技術的及び物理的に理解することに繋がると思われる．

[参考文献]
[1] 辻琢人 他，平成 24 年度工学教育研究講演会講演論文集, 300 (2012).
[2] 辻琢人 他，平成 26 年度工学教育研究講演会講演論文集, 536 (2014).

【謝辞】
本研究は，科学研究費補助金#26350211 の援助を受けて行われた．
また，本取り組みの遂行にあたり，有益なご助言，並びにご協力を頂いた豊橋技術科学大学・足木光昭氏に心より感謝申し上げます．

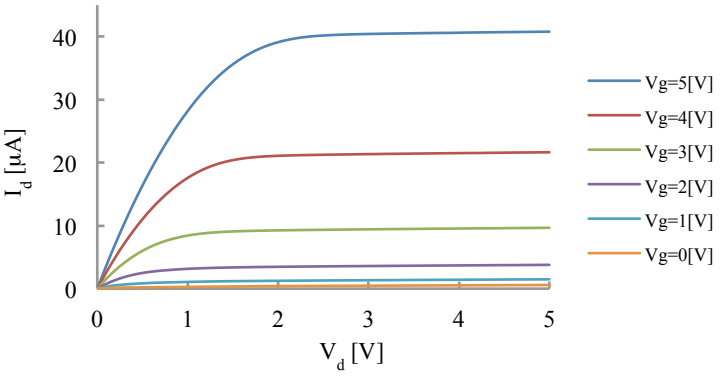

図 1 作製した nMOSFET の I_d–V_d 特性

© 2016年 応用物理学会