

Pseudo-MOS を使った SOI 基板の ac 解析手法の検討 Investigation on ac Pseudo-MOSFET technique for SOI substrates

関西大シス理工¹, ○鍵田 勲¹, 佐藤伸吾¹, 大村泰久¹

Kansai Univ.¹, ○Y. Isao¹, S. Sato¹, Y. Omura¹

E-mail: {k604469, satos, omuray}@kansai-u.ac.jp

[はじめに]SOI 基板を用いたデバイス製作前の SOI 基板の電気的特性評価方法として Pseudo-MOSFET 法が用いられている。本報告では、インピーダンス解析を行い、構造に由来する特性の特徴について調べた結果を述べる。

[素子構成] SOI 層と BOX 層の厚さがそれぞれ $2.0\mu\text{m}$ と $1.0\mu\text{m}$ の 4 インチ貼りあわせ SOI ウェハを使った。SOI 層と支持基板の抵抗率は $1\sim 10\Omega\text{cm}$ で P 型の極性である。

[実験方法・考察] 図 1 に測定系の構成図を示す。ゲート電圧(V_G)を固定にし、ac 信号の周波数を 40Hz から 2MHz まで sweep させ、 $|Z|-\theta$ 解析モデルを用いてインピーダンスを測定した。小信号の振幅は 20mV である。測定されたインピーダンスを用いて Cole-Cole プロット[1]を表示した。Cole-Cole プロットでは、複素平面上にインピーダンスの実部と虚部をプロットすることによって、対象物が抵抗 R とキャパシタンス C の並列回路の様に振る舞う時半円が現れる。半円の半径とピーク周波数はそれぞれ $R/2$ と $f_p = \omega/2\pi = 1/(2\pi RC)$ と表わされる。

図 2(a)に負のゲート電圧をパラメータとして測定されたインピーダンスの Cole-Cole プロットを示す。低・中・高周波数領域に 3 つの半円が形成される。低・中周波数の半円の半径はゲート電圧を負の方向に増加させると小さくなる。この現象は界面の反転状態において、ゲート電圧を正の方向に増加させても同様である。図 2(b)はゲート電圧が -10V の時、プローブ本数をパラメータとして測定されたインピーダンスの Cole-Cole プロットである。中周波数の半円の半径がプローブを増加させると小さくなるので、SOI 層とプローブの間の接触による影響が中周波数の抵抗成分として見えてると予測される。また、高周波数の半円のキャパシタンス要素がゲート電圧に依存せず約数 pF であることが確認された。高周波信号の急速な応答が原因で SOI ウェハ内部を通らずに SOI ウェハ表面を流れる電流成分に関係するキャパシタンス成分であると予想される。また抵抗成分はゲート電圧により強

い依存性がみられる。この抵抗成分は、プローブ接触によって形成されるバルクトラップに起因すると予想される。低周波数の半円は SOI 層または BOX/支持基板界面の静電容量とトラップに起因するものと予測される[2]。以上の様な解析から基板の等価回路を作成でき、新たな電気的パラメータ抽出方法として有効であると考えられる。

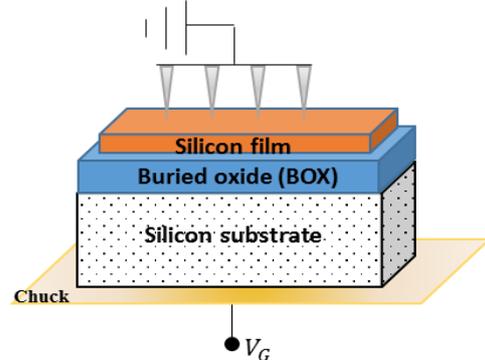
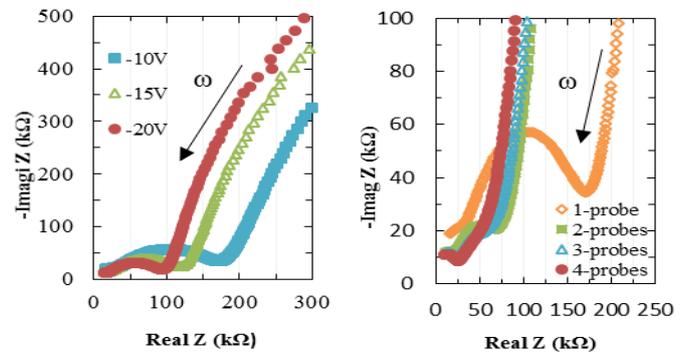


図 1. Pseudo-MOSFET 構造



(a)ゲート電圧依存性,(b)プローブ本数依存性

図 2 Pseudo-MOSFET のインピーダンス測定

参考文献

- [1] E. Barsoukov and J. R. Macdonald, *Impedance Spectroscopy: Theory, Experiment, and Applications*, Wiley, 2005, Chap. 1
- [2] D. K. Schroder, *Semiconductor Material and Device Characterization*, Hoboken, NJ, USA: Wiley, 2006, Chap. 6.