

# 最小限の膜厚ステップ領域を使用したAWGのロス低減構造

## Loss reduction at slab-array interface in AWG using minimum rib area

○岡山 秀彰, 太縄陽介, 八重樫 浩樹, 佐々木 浩紀 (沖電気工業(株) 研究開発センタ, PETRA)

○Hideaki Okayama, Yosuke Onawa, Hiroki Yaegashi, Hironori Sasaki (Oki Electric Industry Co., Ltd., R&D Center, PETRA)

E-mail: okayama575@oki.com

我々は、きわめて小型の光回路を実現できる Si 細線導波路を用いた波長フィルタに関して発表を行って来ている。これらの中でも、Arrayed Waveguide Grating (AWG: 図 1)は波長多重通信を実現する上で、重要な素子として知られており、素子構造の工夫と液浸露光法の採用により高消光比の素子を、ロスを抑えて実現可能であることを報告した[1, 2]。AWGにおいてさらに低ロスの素子を得るには、2段に深さを掘り込んだ構造が有効であることが知られている[3]。今回我々は最も簡潔な2段掘り込み構造でロス低減が可能であることを見出した。

この構造では、アレイ導波路側にMMIカプラを設けてスラブ導波路と接続し、MMIカプラ間の隙間に、スラブ導波路よりコア厚の薄いテラス構造を設ける。この構造でテラスに漏れ出たスラブ光もすみやかにMMIカプラ中に取り込まれるので、これ以上のテラス部は必要としない。MMIには2 x 1カプラのように細いアレイ導波路を接続するのが基本構造であるが、ロス低減には幅の狭いMMIが有利であった。図2のようなパラボリックなテーパを使用すると、幅の広いMMIでもロス低減ができる。この構造で、スラブ-アレイ間の過剰ロスは入出力合わせて0.6dBが3次元FDTDシミュレーションで得られている。図2にはこのときの寸法とFDTD計算での光界分布の様子を示している。図3には両側スターカプラでのロスに関する3次元FDTD計算の結果を示す。

さらにロスを低減するには、入力側3分岐によりスラブ-アレイ導波路境界でアレイ導波路光分布に近い周期的な、振れ幅を設定した光の強度分布を干渉により生じさせる[4]方法も考えられる。

[1] H. Okayama et al., Electron. Lett., vol. 49, pp.1401-1402, 2013. [2] H. Okayama et al., Tech. Digest JSAP-OSA Joint Symposia 2015, paper 14a-PB3-6. [3] J. Park et al., Appl. Opt. vol. 4, pp. 5597-5602, 2015. [4] K. Suzuki et al., Tech. Digest OFC2005, paper OTuD6.

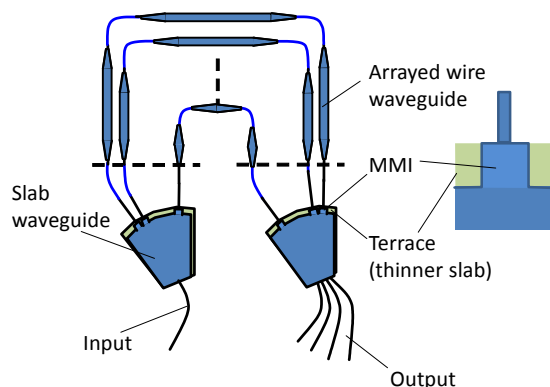


図1 AWGの基本構造

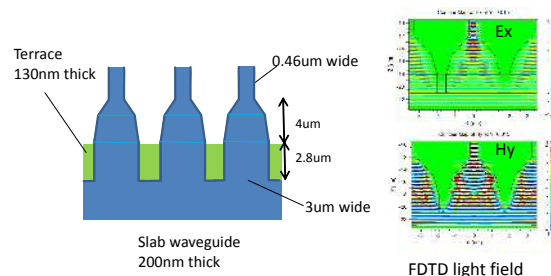


図2 最小限の厚みステップ領域を使用したロス低減構造

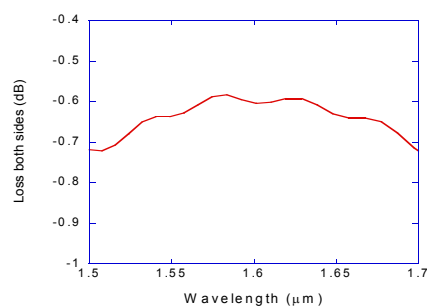


図3 3次元FDTDによるロス解析結果(両側スターカプラ)