

低温 MLB-CLC poly-Si TFTs の電気特性に対する結晶粒界の影響

Effect of grain boundary on electrical characteristics of low-temperature MLB-CLC poly-Si TFTs

広島大学ナノデバイス・バイオ融合科学研究所(RNBS)¹, 東北大学大学院工学研究科²
 °平田 達誠¹, グエン ティ トゥイ¹, 平岩 弘之¹, 小谷 光司², 吉川 公麿¹, 黒木伸一郎¹
 Research Institute for Nanodevice and Bio Systems, Hiroshima University (RNBS)¹,
 Graduate School of Engineering, Tohoku University²,
 °T. Hirata¹, Nguyen Thi Thuy¹, M. Hiraiwa¹, K. Kotani², and T. Kikkawa¹, S. Kuroki¹
 E-mail: {hirata-tatsuaki, skuroki}@hiroshima-u.ac.jp

【はじめに】 複数の温度勾配の少ないラインビームスポットを形成する Multi-Line Beam CLC (図 1)を用いることで、結晶面方位 (110 面)と結晶成長方向が均一な高品質な poly-Si 薄膜を形成することができる。このときの結晶粒のサイズは、 $1\ \mu\text{m} \times 100\ \mu\text{m}$ 程度の巨大な線状のグレインになる。本研究では、このグレインより小さなチャンネルを持つ TFT を作製することで、結晶粒界を持たない TFT、単一グレイン TFT の作製を行った。これにより、結晶粒界が TFT に与える影響を明確にすることができる。

【実験方法】 石英基板に a-Si 薄膜 150 nm、Cap SiO₂ 薄膜 100 nm を成膜し、MLB-CLC により結晶化 (7.5 W, 0.05 cm/s)した。Cap SiO₂ をエッチング後、チャンネル形成のためリソグラフィを行った。このときチャンネル幅を $0.5\ \mu\text{m}$ とした。その後ドライエッチング、ゲート酸化膜を 50 nm 堆積、Mo ゲートメタルを形成した。この Mo ゲートメタルをセルフアラインマスクとし、イオン注入 (As: ドーズ量 $2 \times 10^{15}\ \text{cm}^{-2}$ 、加速電圧 66 keV)により、S/D を形成した。APCVD を用いて層間絶縁膜を堆積後、コンタクトホールを形成し、電極を形成後、H₂ 雰囲気中でシンタリングを行った。

【結果と考察】 図 2 に測定した I_D - V_G 特性を示す。チャンネル幅は $0.5\ \mu\text{m}$ 、チャンネル長は $5\ \mu\text{m}$ 、 $V_D=0.5\ \text{V}$ の条件で測定した。測定結果より、2つの特性パターンが存在することが確認できた。グレイン幅は $1\ \mu\text{m}$ 程度であることから、結晶粒界の有無の違いにより、この2つの特性パターンの違いに繋がったと考えられる。また、OFF 電流の大きい TFT の ON/OFF 比は 2 桁程度であったが、もう一方は 6 桁程度まで改善されていることが確認できる。この結果から、結晶粒界が大きな OFF 電流を引き起こしている可能性を示唆している。

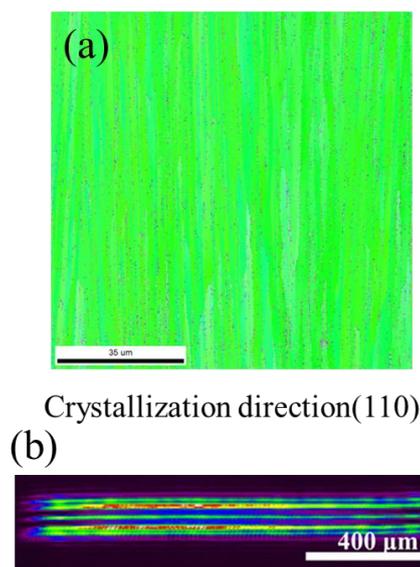


図 1 (a) EBSD 測定結果 (b) MLB laser spot

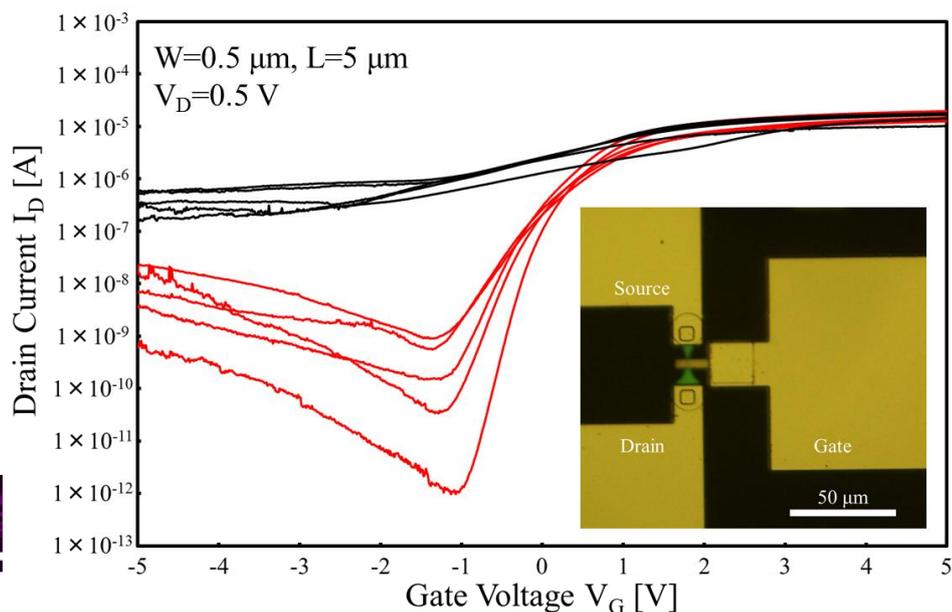


図 2. 単一グレイン TFT の I_D - V_G 特性