

トレンチ構造をもつ GaN 縦型 MOSFET の特性評価

Characterization of GaN-based Trench Gate MOSFET

福井大院工¹, 富士電機² °篠倉 暁希¹, 徳田 博邦¹, 江戸 雅晴², 上野 勝典², 葛原 正明¹

University of Fukui¹, Fuji Electric²

°Aki Sasakura¹, Hirokuni Tokuda¹, Masaharu Edo², Katsunori Ueno², Masaaki Kuzuhara¹

E-mail: sasakuraaki@gmail.com

はじめに 窒化ガリウム(GaN)を用いたパワーデバイスでは、高耐圧かつ低損失のパワースイッチング性能が期待される。これまで AlGaIn/GaN HEMT を代表とする横型デバイスの研究が先行してきたが、小型・大電流・高耐圧が可能なノーマリーオフ動作デバイスとして縦型 MOS デバイスへの期待が高まっている[1][2]。トレンチ構造をもつ縦型 MOSFET では、p-GaN チャンネル上にソース領域となる高濃度 n-GaN を形成するプロセス技術の開発が重要である。本研究では、高濃度 n-GaN 領域の形成に Si イオン注入を用いたトレンチ構造 GaN MOSFET を試作し、良好なノーマリーオフ動作を確認したので報告する。

実験 図 1 に試作したデバイスの断面図を示す。自立 c 面 n-GaN 基板上に、n-GaN 層(4 μm)と p-GaN 層(1 μm)を順次エピ成長した。SIMS 測定から求めた n-GaN の Si 濃度は $1 \times 10^{16} \text{ cm}^{-3}$ 、p-GaN の Mg 濃度は $5 \times 10^{17} \text{ cm}^{-3}$ であった。次に Si イオン注入により p-GaN 表面の一部に n-GaN 領域を形成した。活性化熱処理温度は 1100 $^{\circ}\text{C}$ とした。トレンチ構造は Cl_2 と BCl_3 を用いた ICP-RIE により形成した。ゲート絶縁膜にはプラズマ CVD 法 SiO_2 (100 nm)を用い、400 $^{\circ}\text{C}$ 、30 分のポスト熱処理を行った。ゲート、ソース、ドレイン各電極にはそれぞれ Al、Al/Ti/Au、Al/Ni/Au を用いた。チャンネル幅とチャンネル長はそれぞれ $2 \times 100 \mu\text{m}$ 、0.5 μm である。

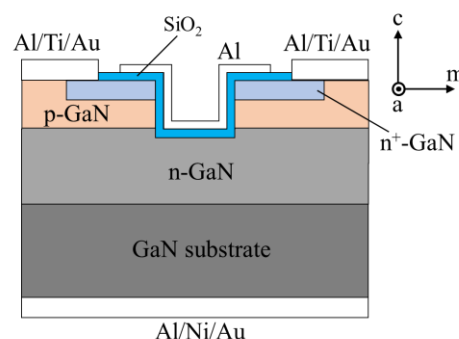


図 1 デバイス構造

結果 図 2 に試作したデバイスの I_d - V_{ds} 特性を示す。ゲート電圧は 0 から 30 V まで 5 V ステップで測定した。 $V_{ds} = 1 \text{ V}$ においてドレイン電流密度は 35 mA/mm 以上であった。図 3 に I_d - V_{gs} 伝達特性を示す。ゲート電圧を -30 から +30 V の間で掃引(5 V/s)したとき、ヒステリシス特性が見られたものの($\Delta V \approx 6 \text{ V}$)、ゲート電圧を負から正方向および正から負方向に変化させたとき、しきい値電圧はそれぞれ +10.0 V と +3.6 V のノーマリーオフ動作が確認できた。伝達特性から求めたチャンネルの電界効果移動度は 30 cm^2/Vs であった。

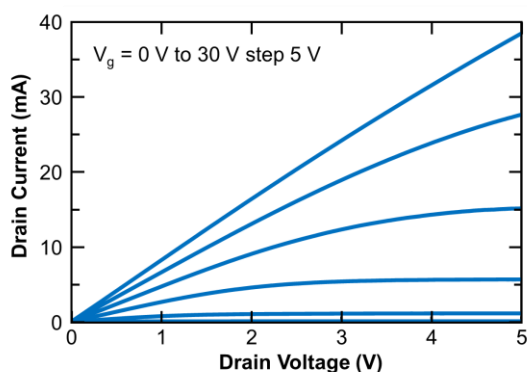


図 2 I_d - V_{ds} 特性

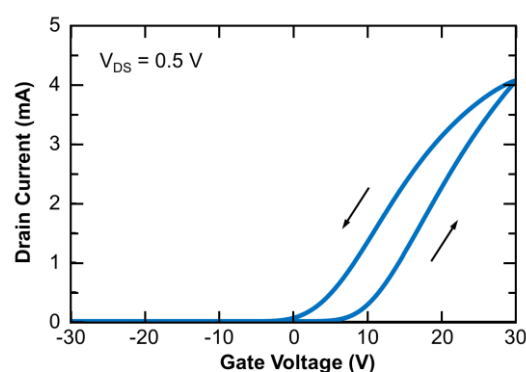


図 3 I_d - V_{gs} 特性

謝辞 本研究の一部は JST スーパークラスタープログラムの支援によって実施されたものである。

また、デバイスプロセスの一部で山梨大 中川清和教授の協力を得た。

参考文献 [1] H. Otake et al., Jpn. J. Appl. Phys. 46, 25, 2007.

[2] M. Kodama et al., Appl. Phys. Exp. 1, 021104, 2008.