

MOS トランジスタ及び発光素子の一貫形成に向けた Si / SiO₂ / GaN / Sapphire 構造の熱耐性に関する調査

Investigation of thermal tolerance of Si / SiO₂ / GaN /Sapphire structure for integrally formation in MOS transistor and light-emitting device

豊技大工¹, EIIRIS² 宇都宮 脩¹, 立原佳樹¹, 土山和晃¹, 山根 啓輔¹, 関口 寛人¹,
岡田 浩^{2,1}, 若原 昭浩¹

Toyohashi Univ. Tech.¹, EIIRIS², S.Utsunomiya¹, Y. Tachihara¹, K. Tsuchiyama¹, K. Yamane¹, H. Sekiguchi¹, H. Okada^{2,1}, A. Wakahara¹

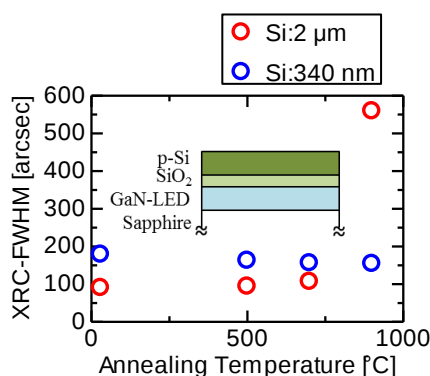
E-mail: utsunomiya-s@int.ee.tut.ac.jp, wakahara@ee.tut.ac.jp

発光素子と Si 集積回路を一体化した光電子集積回路(OEIC)はチップ内通信の配線化や信号の可視化、生体機能に学んだシステム等への応用に期待できる。本研究グループでは、ウェハ接合技術によって作製した Si / SiO₂ / GaN /Sapphire 構造の基板による光電子集積を提案しており、この基板上に LED 作製が可能であること実証している[1]。そこで本研究は、この基板への Si 集積回路と発光素子の一貫形成・一体集積に向けて基板の熱耐性について検証を行った。

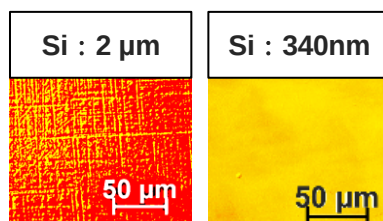
Si / SiO₂ / GaN / Sapphire 構造のサンプルとして、Si 膜厚が 2 μm と 340 nm の SOI(Silicon on Insulator)基板をそれぞれ、SiO₂ を堆積した GaN 系 LED 基板に表面活性化接合した後、SOI 基板の Si 支持層と埋め込み酸化膜層を除去した基板(図 1 (a)の挿入図)を用意した。本研究で使用する LED 基板の InGaN MQW の熱耐性を考慮し、Si 集積回路の最大工程温度を本研究では 900 °C に設定している。そこで、900 °C での熱処理を想定し、窒素雰囲気下で 500, 700, 900 °C でそれぞれ 10 分間のアニール処理を行った。この時、工程毎に X 線回折法により Si 0 0 4 の X 線ロックングカーブ半値全幅(XRC-FWHM)を測定することで結晶性の評価を行った。

図 1(a)に示す通り、Si 膜厚 2 μm の基板ではアニール温度が 700 °C から 900 °C に変化したところから XRC-FWHM の急激な増加が確認された。また、表面には図 1(b)に示す通り Si/SiO₂ 界面付近で発生したと考えられる線状欠陥が観察された。一方で、Si 層 340 nm の基板では 900 °C のアニール処理前後で XRC-FWHM の増加や Si 層への線状欠陥の発生は観測されなかった。この線状欠陥は各層の熱膨張係数差に起因した内部応力によって発生しているものと考えられる。以上より、Si / SiO₂ / GaN / Sapphire 構造における Si 集積回路と発光素子の一貫形成では Si 層を 340 nm とすることで 900 °C、10 min の熱処理が可能であることが明らかとなった。最後に、Si 層 340 nm の Si / SiO₂ / GaN-LED 基板上に、MOSFET と LED を試作した。図 2 に素子の断面構造図と作製した素子の顕微鏡像を示す。結果より、MOSFET と LED が同一基板内に集積されているのが分かる。これらの MOSFET、LED とともに典型的な電流 - 電圧特性を示した。

[1]K. Tsuchiyama, et al, J. Jpn. Appl. Phys (in-press)



(a)



(b)

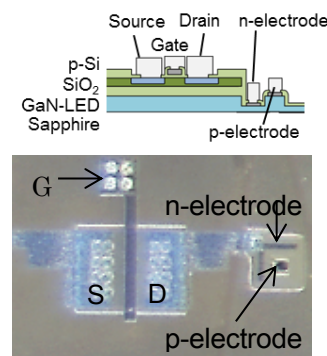


図 1 (a)Si 層のアニール温度と熱耐性 (b)900°Cアニール処理後の基板表面の光学顕微鏡像

図 2 試作した MOSFET と LED の断面構造と顕微鏡像