高圧水蒸気処理を施した SiO2/GaN 縦型 MOS キャパシタの電気的特性評価

Electrical Characterization of SiO $_2$ / GaN Vertical MOS Capacitor treated by

High Pressure Water Vapor Annealing

[•]冨永雄太 ¹,上野勝典 ²,吉嗣晃治 ¹,多田雄貴 ¹,石河泰明 ¹,浦岡行治 ¹

(1. 奈良先端大, 2. 富士電機)

^oYuta Tominaga¹, Katsunori Ueno², Koji Yoshitsugu¹, Yuki Tada¹, Yasuaki Ishikawa¹, Yukiharu Uraoka¹ (1. NAIST, 2. Fuji Electric)

E-mail: tominaga.yuta.tt3@ms.naist.jp

1. 背景

パワー半導体用途の GaN 系 MOS デバイスにおけるゲート絶縁膜として,高い伝導帯不連続量及び高 絶縁破壊電界を有する SiO₂ が期待されている. 堆積 SiO₂ は 900~1000°C の高温堆積後熱処理(Post deposition annealing: PDA)を行うことで Si の熱酸化膜に近い物性が得られる[1]. しかし, GaN 系 MOS デバイスプロセスにおいて高温 PDA を行うと, GaN 表面の窒素抜けや低質な界面酸化層の生成が懸念 される. そこで本研究では,400°C 程度の低温 PDA として,ゲート絶縁膜の膜質改善が期待できる高圧 水蒸気処理(High Pressure Water Vapor Annealing: HPWVA)[2]に着目した. HPWVA が SiO₂/n-GaN 縦型 MOS に対して有用かどうか検討するために MOS キャパシタを作製し電気的特性評価を行った.

2. 実験方法

MOS キャパシタの作製には厚さ4 µm の n-GaN エピタキシャル層を有する GaN 自立基板を用いた. 初めに n-GaN 上に TEOS および O₂を用いたプラズマ CVD 法により SiO₂を 300℃で 100 nm 堆積した. 絶縁膜堆積後に PDA として 400℃, 0.5 MPa, 30 min の HPWVA を行った後に, SiO₂表面および GaN 基 板裏面に Al 電極を 100 nm 蒸着した.また比較のため熱処理無し(as-depo.)試料も同様に作製した.本研 究では、絶縁特性を評価するために電子を絶縁膜層に注入しリーク電流を測定した.

3. 結果

Fig. 1 に Al/SiO₂/n-GaN MOS キャパシタの電流密度対電界強度(*J-E*)特性を示す. as-depo.試料の絶縁破 壊電界は8.5 MV/cm を示したのに対して、HPWVA 試料ではSiO₂の理想値に近い9.4 MV/cm が得られた. F-N プロットより HPWVA 試料における絶縁破壊前のリーク電流は, $q\Phi_B = 2.5$ eV の障壁高さを有する FN トンネル伝導であることが示唆された. この SiO₂/n-GaN の障壁高さは Robertson ら[3]が報告している 値とほぼ等しくなった. 次にSiO₂ 膜中の不純物分布を解析するために SIMS 深さ方向プロファイルを行 った. Fig. 2 に¹H および¹⁹OH の SIMS 深さ方向プロファイルを示す. as-depo.試料と HPWVA 試料を比 較すると H および OH の減少が見られた. このことから HPWVA を行うことによって SiO₂ 膜中の H お よび OH が減少し,理想的な SiO₂に近づいたと考えられる. これらの結果より, HPWVA は低温 PDA として n-GaN 上 PECVD-SiO₂の膜質改善に有用である.

参考文献

E. San Andres *et al.*, J. Appl. Phys. **87**, 1187 (2000).
 J. Robertson, *et al.*, J. Appl. Phys. **100**, 014111 (2006).

[2] K. Yoshitsugu *et al.*, IWN2012 TuP-LN-12 (2012).
[4] E. Kim *et al.*, Jpn. J. Appl. Phys. 49 (2010).



Fig. 1 *J-E* characteristics of as-deposited and HPWV-annealed sample. The inset is F-N plot of HPWV-annealed sample.