

$f_t > 500$ GHz を有するメタルサブコレクタ InP/InGaAsSb DHBTMetal-subcollector InP/InGaAsSb DHBT with f_t of over 500 GHz日本電信電話株式会社 NTT 先端集積デバイス研究所¹, 日本電信電話株式会社 NTT デバイスイノベーションセンタ², 東京大学³○白鳥 悠太¹, 星 拓也¹, 柏尾 典秀², 栗島 賢二¹, 日暮 栄治³, 松崎 秀昭¹NTT Device Technology Labs, NTT Corporation¹, NTT Device Innovation Center, NTT Corporation², Univ. of Tokyo³✉ Y. Shiratori¹, T. Hoshi¹, N. Kashio², K. Kurishima¹, E. Higurashi³, H. Matsuzaki¹

E-mail: shiratori.yuta@lab.ntt.co.jp

InP 系ダブルヘテロ接合バイポーラトランジスタ (DHBT) の高速化と高信頼化を両立する上では、高注入電流密度化と合わせて放熱特性の向上が重要な課題である。我々はこれまでに、DHBT 結晶層を SiC 放熱基板上へ転写する技術を用いたメタルサブコレクタ DHBT 構造を提案し、電気的特性を損なうことなく素子熱抵抗を 50% 低減できることを実証している[1]。本稿では、良好な放熱性を有するメタルサブコレクタ DHBT において 500 GHz 以上の高い電流利得遮断周波数(f_t)を実現した結果について報告する。

DHBT の高速化には、キャリア走行時間の短縮及び、高注入電流密度化による充放電時間の短縮が重要である。本検討では、ベース層に組成傾斜 InGaAsSb (層厚: 20 nm, ドーピング濃度: $6 \times 10^{19} \text{ cm}^{-3}$) を採用することでベース走行時間を短縮するとともに[2]、InP コレクタ層厚を 60 nm と薄層化することでコレクタ走行時間短縮及び高注入電流密度化を図っている。DHBT 素子部は、表面活性化接合を用いた基板転写プロセス[3]により DHBT 結晶層を SiC 放熱基板上に転写した後に、自己整合プロセス[4]を用いて、エミッタ幅が $0.35 \mu\text{m}$ のメタルサブコレクタ DHBT を作製した。

図 1 に $0.35 \mu\text{m}$ エミッタ幅のメタルサブコレクタ DHBT の J_C - V_{CE} 特性を示す。本構造による放熱性の改善に加えてコレクタ層を薄層化したことにより、 $J_C \sim 27 \text{ mA}/\mu\text{m}^2$ と高い注入電流密度が実現できている。また、絶縁破壊耐圧は、 $BV_{CEO} = 3.34 \text{ V}$ @ $J_C = 0.01 \text{ mA}/\mu\text{m}^2$ である。

図 2 に試作した DHBT の高周波特性の電流密度依存性を示す。評価した素子のエミッタ寸法は $0.35 \mu\text{m} \times 6.0 \mu\text{m}$ である。ピーク $f_t \sim 580 \text{ GHz}$ @ $J_C = 15 \text{ mA}/\mu\text{m}^2$ 、ピーク $f_{max} \sim 350 \text{ GHz}$ @ $J_C = 10 \text{ mA}/\mu\text{m}^2$ であり、エピ層構造などから予測される妥当な性能が得られていることが分かる。

また、図 3 に示すように、エミッタ充電時間($r_e C_{je}$)が注入電流密度に逆比例する低電流領域から外挿して求めたベース・コレクタ走行時間は、 $\tau_f = 0.15 \text{ ps}$ であり、自己発熱効果や空間電荷効果などの影響が少ない電流領域での有効電子速度は $3.3 \times 10^7 \text{ cm}^2/\text{s}$ と見積もられる。これは、InP 基板上 DHBT と同等の値であることから、基板転写プロセスが電子輸送特性に対して悪影響を及ぼさないことが改めて確認できる。また、試作した DHBT の熱抵抗を評価したところ、 $3.8 \mu\text{m}^2 \cdot \text{K}/\text{mW}$ が得られ、InP 基板上 DHBT と比較して 40% 程度低減されていることも確認した。

本 DHBT 構造では良好な放熱特性の結果、ピーク f_t を与える注入電流密度を超える超高電流密度領域においても、優れた高速動作特性が維持されていると考えられる。

【参考文献】

- [1] Y. Shiratori, et al., CSW2015, Tu1E2.5.
- [2] T. Hoshi, et al., App. Phys. Express 7, 114102 (2014).
- [3] Y. Shiratori, IEEJ Trans. EIS, (accepted).
- [4] N. Kashio, et al., IEEE Electron Device Lett., Vol. 35, No. 12 (2014) pp. 1209-1211.

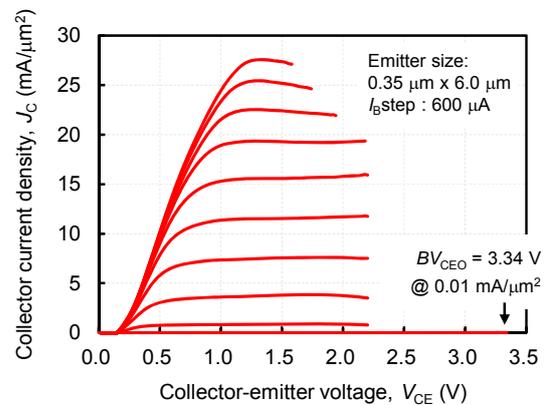
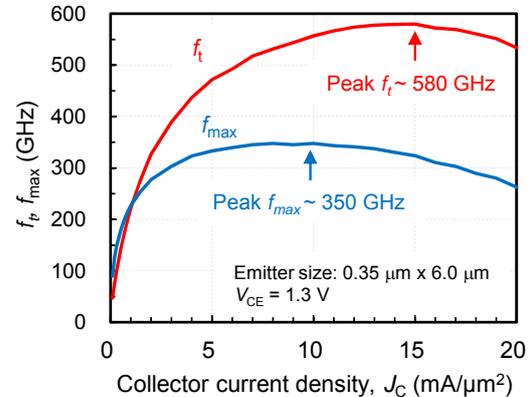
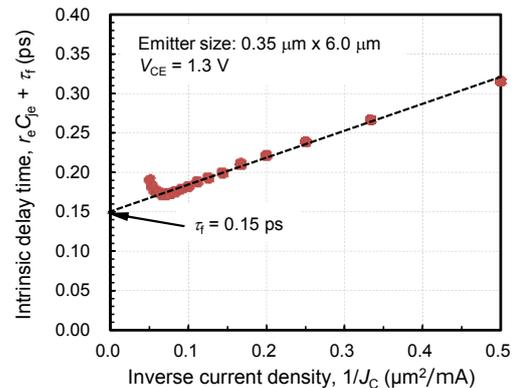
図 1 試作したメタルサブコレクタ DHBT の J_C - V_{CE} 特性図 2 試作した DHBT の f_t, f_{max} の電流密度依存性

図 3 遅延時間解析結果