

再成長 S/D を有する InGaAs マルチゲート MOSFET の $L_{ch}=16\text{nm}$ 動作

Operation of 16nm-InGaAs channel multi-gate MOSFETs with MOVPE regrown source/drain

°木下 治紀¹、木瀬 信和¹、祢津 誠晃¹、金澤 徹¹、宮本 恭幸¹(1.東工大理工)°H. Kinoshita¹, N.Kise¹, S.Netsu¹, T. Kanazawa¹ and Y. Miyamoto¹ (1.Tokyo Tech)

E-mail: kinoshita.h.aa@m.titech.ac.jp

はじめに

高い移動度を持つ InGaAs をチャネル材料として用いることで、 Si を超える低電圧かつ高電流密度動作が期待されている。我々はプレーナ型 InGaAs MOSFET[1]で $I_d=2.4\text{mA}/\mu\text{m}$ @ $V_d=0.5\text{V}$ を達成した。そこで、より高いゲート制御性の実現を目指し、再成長ソースドレインを有する InGaAs マルチゲート MOSFET(Fig.1)を提案した[2]。ピラー型のチャネルと MOVPE による選択再成長により形成する高いドーピング濃度 ($n>1\times 10^{19}\text{cm}^{-3}$) をもつソース/ドレインがチャネルを囲むことで、チャネル各面においてソース枯渇が抑制され高い電流密度を期待できる。本研究では確立したプロセス[3]を用いてデバイスの作製に取り組み、チャネル長 $L_{ch}=16\text{nm}$ で動作に成功したので報告する。

再成長層の評価

TLM とホール測定により作製素子の再成長層の評価を行った。 $R_{sheet}=25\Omega/\square$ 、 $\rho_{contact}=1.1\times 10^{-7}\Omega\text{cm}^2$ 、 $\mu=1041\text{cm}^2/\text{Vs}$ 、 $n=3\times 10^{19}\text{cm}^{-3}$ と高いドーピング濃度の良好な結晶が得られている。

素子性能評価

Fig.2 はデバイス上面とチャネル断面図の SEM 像であり、Fig.3(a)はチャネルに平行方向断面の HAADF 像である。チャネル幅 $W=50\text{nm}$ 、チャネル長 $L_{ch}=16\text{nm}$ を確認した。Fig.4, Fig.5 に出力特性と伝送特性を示す。ドレイン電流 $I_d=707\mu\text{A}/\mu\text{m}$ 、伝達コンダクタンス $g_m=498\mu\text{S}/\mu\text{m}$ 、 $SS=541\text{mV}/\text{dec}$ @ $V_d=0.5\text{V}$ 、 $\text{DIBL}=2014\text{mV}/\text{V}$ 、 $R_{sd}=207\Omega\mu\text{m}$ であった。 I_{on}/I_{off} は $V_d=0.05\text{V}$ で 3 桁を得た。 $2W_{ch}+H_{ch}$ ($W_{ch}=50\text{nm}$, $H_{ch}=50\text{nm}$) で規格化している。

まとめ

$L_{ch}=16\text{nm}$ の極微細チャネルでデバイス動作に成功した。 $EOT=2.5\text{nm}$ 、 $D_{it}>4.0\times 10^{12}\text{eV}^{-1}\text{cm}^{-2}$ 、チャネル幅 $W=50\text{nm}$ でありオフ特性が劣化しているが、改善により今後更なるデバイス特性の向上が見込める。

謝辞

本研究は日本学術振興会科学研究費補助金の補助を受けて行われた。

参考文献

[1] Y.Yonai, et al, IEDM 2011, pp. 307–310.

[2] Y.Mishima et al., DRC, 2014 72nd Annual, p.121

[3] 木下他. 第 63 回 応用物理学会学術講演会

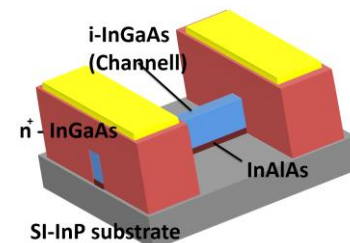
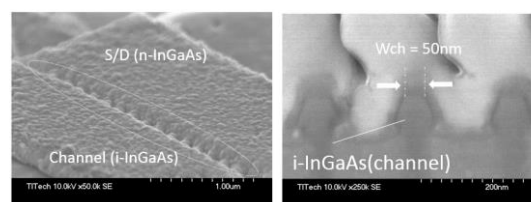
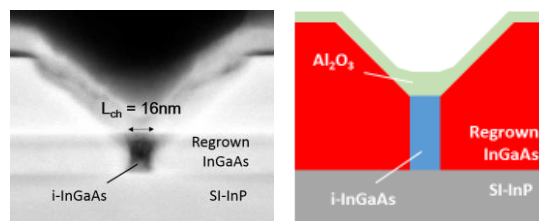


Fig.1 再成長 S/D 型 InGaAs FET



(a) デバイス上面 (b) チャネル垂直方向断面

Fig.2 SEM 像



(a) HAADF 像 (b) 模式図

Fig.3 チャネル平行方向断面図

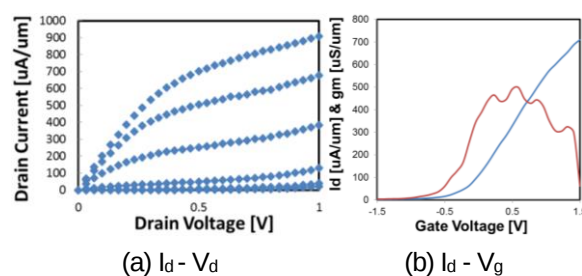
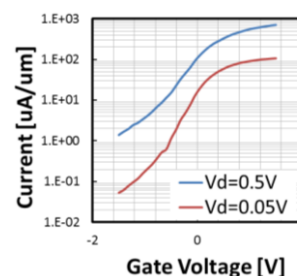
(a) $I_d - V_d$ (b) $I_d - V_g$

Fig.4 I-V 特性

Fig.5 $I_d - V_g$ (log)