

長時間ストレスしきい値電圧変動に対する測定法の影響

Impact of measurement methods on threshold voltage shift

under long term gate bias stress

産総研¹, 新日本無線², 筑波大学³, ○木内 祐治^{1,2}, 染谷 満¹, 岡本 大³,

岡本 光央¹, 畠山 哲夫¹, 原田 信介¹, 矢野 裕司³, 米澤 喜幸¹, 奥村 元¹

AIST¹, NJR², Univ. of Tsukuba³, ○Y. Kiuchi^{1,2}, M. Sometani¹, D. Okamoto³, T. Hatakeyama¹,

M. Okamoto¹, S. Harada¹, H. Yano³, Y. Yonezawa¹, H. Okumura¹

E-mail: yuji-kiuchi@aist.go.jp

【はじめに】4H-SiC MOS デバイスの課題として、ゲートバイアスストレスによるしきい値電圧 (V_{th}) の不安定性があげられる。一般的な評価手法では、ストレスの印加と V_{th} を見積もるためのドレイン電流-ゲート電圧 (I_d - V_g) 測定を個別に行う。 I_d - V_g 測定には一定の時間が必要なため、この間にストレス印加により捕獲された電荷の放出が起こり、 V_{th} 変動の過小評価につながる。我々はこれまでに、この電荷放出によるストレス緩和を極力抑えた V_{th} 変動評価法を提案し、測定結果が評価法に大きく依存することを報告してきた[1,2]。今回、これらの評価手法を市販の SiC-MOSFET に対して適用し、長時間ストレス下における V_{th} 変動量を調査したので報告する。

【実験方法】本研究では市販の SiC-MOSFET に対して、以下に示す 2 手法を用いて V_{th} 変動評価を行った。

- ① SWEEP 法：ゲートバイアスストレスを印加する前後で、 I_d - V_g 測定を V_g が 0 V から V_{th} 以上の電圧範囲で実施(本研究では $V_g=0\sim3$ V)。今回は一般的な試験法を模擬して、 I_d - V_g 測定の前に $V_g=0$ V のストレス緩和期間を 100 秒間設定した。
- ② 3 点法：ゲートバイアスストレスを印加する前後の I_d - V_g 測定を、およそ V_{th} となる電圧およびその ± 0.2 V となる 3 点の電圧で実施。 I_d - V_g 測定に必要な時間は 0.5 秒程度である。

【実験結果】図 1 に SWEEP 法、3 点法で評価した V_{th} 変動のストレス時間依存性を示す。ゲートバイアスストレスは室温にて 15V の電圧を印加した。3 点法では短時間での V_{th} 変動をより多くとらえることができている。すなわちこの短時間ストレスでの変動成分は SWEEP 法での V_{th} 測定時には緩和していることを示唆している。また図 1 からは長時間ストレスによる変動成分は飽和傾向を示しているように見える。しかし図 1 のグラフの横軸を対数で表示した結果(図 2)、ストレス時間の対数に対して V_{th} は線形に増加し、飽和していないことが分かる。この直線を外挿することでさらに長時間ストレスによる V_{th} 変動を予測できる可能性があるが、直線の傾きは測定法に大きく依存しているため、正確な測定法の確立が必要不可欠である。当日は AC ストレス印加等、ストレス条件を変えてより詳細な報告を行う。

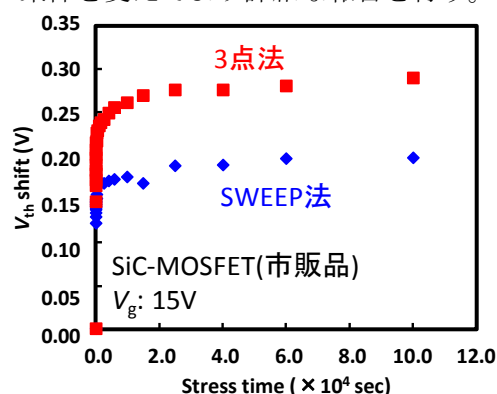


図 1 V_{th} 変動の評価法依存性(横軸線形)

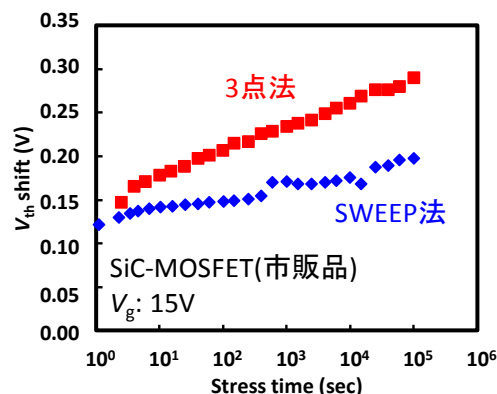


図 2 V_{th} 変動の評価法依存性(横軸対数)

【謝辞】本研究は、総合科学技術・イノベーション会議の SIP (戦略的イノベーション創造プログラム)「次世代パワーエレクトロニクス」(管理法人：NEDO) によって実施されました。

[1] M. Sometani *et al.*, Jpn. J. Appl. Phys. **55**, 04ER11 (2016).

[2] M. Okamoto *et al.*, Mater. Sci. Forum **897**, 549 (2017).