

HfO₂/GeO₂/Ge 構造における GeO₂ 層の作製条件の検討

A study of fabrication condition of GeO₂ layer in HfO₂/GeO₂/Ge structure

農工大院工[○]和知 祥太郎, 岩崎 好孝, 上野 智雄, 山田 浩史,
北原 義典, 並木 美太郎

Tokyo Univ. of Agri.&Tech,[○]Shotaro Wachi, Yoshitaka iwasaki, Tomo Ueno,

Koji Yamada, Yoshinori Kitahara, Mitaro Namiki

E-mail: s177498y@st.go.tuat.ac.jp

① 研究背景

現在、高い誘電率を有する High-k 材料と、高い移動度を持つゲルマニウム(Ge)を用いた MOS 構造が注目されている。そこで、本研究では、High-k 材料として、SiO₂ の約 5 倍の誘電率を持ち、絶縁性にも優れた HfO₂ を用いた、Ge-MOS-FET の作製法について検討を行っている。今回は、他の材料に比べてホール移動度が大きい Ge の特徴を生かすため、基板として n 型の Ge を用いて検討を行った。High-k 材料と Ge を組み合わせた MOS 構造には、界面に Ge との親和性の大きい GeO₂ を挿入した High-k/GeO₂/Ge 積層構造を適用することが広く検討されている。そこで今回、n-Ge 基板上に GeO₂ を低温熱酸化により作製した後に、HfO₂ を反応性スパッタ法にて堆積させた、HfO₂/GeO₂/Ge 構造を作製し、その特性について評価した。

② 実験方法

まず、n-Ge 基板を HF 洗浄した後に、O₂ ア雰雰囲気下 400℃、60 分間の条件で Ge の低温熱酸化を行い GeO₂ 層を生成した。

GeO₂ 生成後に、

- ・ Ar 流量 30[sccm]
- ・ O₂ 流量 10[sccm]
- ・ DC ターゲット電力 50[W]
- ・ 成膜時間 5[min]

の条件で、反応性スパッタ法にて HfO₂ を堆積させた。その後、Gate-Al 電極を蒸着し、C-V 測定と I-V 測定を行った。

③ 実験結果・考察

Fig.1 に HfO₂ 層堆積前、熱処理直後の、GeO₂/Ge 構造の C-V 特性を示す。Fig. 2 には HfO₂ 層堆積後の HfO₂/GeO₂/Ge 構造の C-V 測定の結果を示す。Fig.1 では蓄積領域にて容量値の垂れ下がりが見られる。これは今回作成した GeO₂ は絶縁性が十分でない可能性を示している。一方で Fig.2 では、HfO₂ 層の積層により、EOT が 4.92(nm)から 10.52(nm)に増加している。これにより絶縁性が改善され、蓄積領域での容量値の垂れ下がりが抑えられたと考えられる。次にこれらのサンプルの I-V 測定の結果を Fig.3, Fig.4 にそれぞれ示す。I-V 特性の結果からも、電流量が減少しており、HfO₂ 層により絶縁膜の絶縁性の向上が確認出来る。今後、GeO₂ 膜の作製時間、条件の研究を続けることにより、低下した容量値の改善などが期待出来る。

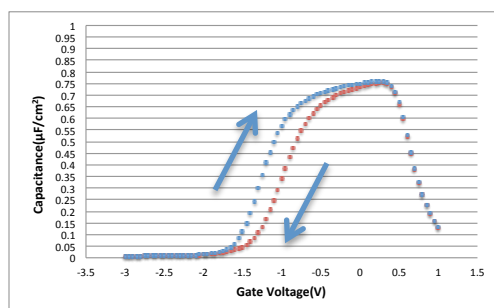


Fig.1 GeO₂/Ge 構造 C-V 特性(1000kHz)

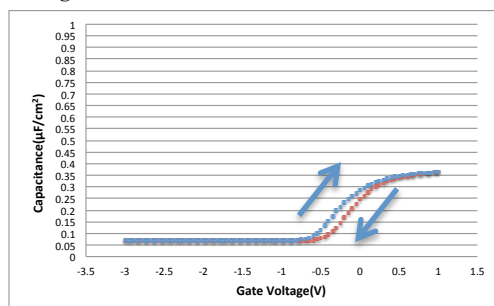


Fig.2 HfO₂/GeO₂/Ge 構造 C-V 特性(1000kHz)

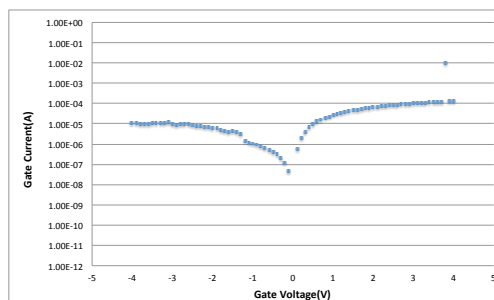


Fig.3 GeO₂/Ge 構造 I-V 特性

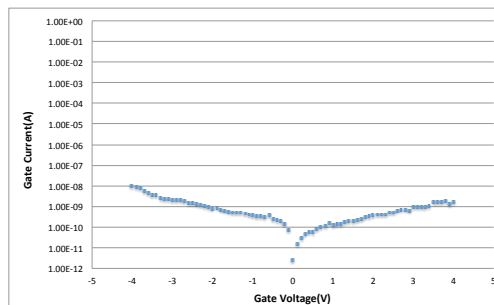


Fig.4 HfO₂/GeO₂/Ge 構造 I-V 特性