結晶化高温アニールによる 原子層堆積 Al₂O₃ 膜バイアス安定性の向上

 $\label{eq:continuous} Improved \ bias \ stability \ of \ atomic-layer-deposition \ Al_2O_3 \ films \\ by \ crystallizing \ high-temperature \ annealing$

早大理工¹, 早大ナノ・ライフ², 早大材研³, 名大未来研⁴ ○堀川 清貴¹, 大久保 智¹, 蔭浦 泰資¹, 平岩 篤^{2,4}, 川原田 洋^{1,3}

Fac. Sci. Eng., Waseda Univ¹, RONL, Waseda Univ.², KMLMST, Waseda Univ.³, IMaSS, Nagoya Univ.⁴
°(B)K. Horikawa¹, (M1)S. Okubo¹, (D)T. Kageura¹ A. Hiraiwa^{2,4} and H. Kawarada¹⁻³

E-mail: kiyotaka92@akane.waseda.jp

- **1.緒言** ワイドバンドギャップ半導体素子の表面保護膜・ゲート絶縁膜には原子層堆積(atomic layer deposition、ALD)法により形成した Al_2O_3 膜が有望である。同膜を実用化する際の主要な課題として、カレントコラプスに代表されるバイアス不安定性の改善がある。過去には、 600° にてアニールした Al_2O_3 膜のバイアス安定性に関して報告 [1]がある。同報告においては膜厚が 4nm と薄く、この結果をパワー素子等で必要な膜の厚さに換算するとフラットバンド電圧 V_{fb} に比較的大きな変動が生じることになる。そこで、さらに改善すべくより高温でのアニールを検討した。
- **2. 実験方法** (1) 試料製作方法 比抵抗 $2\sim4\Omega$ cm n 型 Si(001)基板上に、ALD 法により Al $_2$ O $_3$ 膜を約 32nm 成膜した。ここで、良好な Al $_2$ O $_3$ /半導体界面の得られる H $_2$ O を酸化剤に用い、ブリスタ[2]の発生を防止するために成膜温度を 450°C とした。ついで、高速熱アニール(rapid thermal annealing、RTA)装置を用いて 1000°Cの 4%水素(Ar 希釈)雰囲気中にて $2\sim60$ 分間アニールした。昇温速度は約 54°C/s である。その後、シャドーマスクを用いた抵抗加熱法により蒸着した Al からなるゲート電極を形成し、キャパシタを完成させた。(2)測定方法 ストレス電圧(7V)の付加と容量一電圧測定とを交互に反復することにより、 V_B 変動量とストレス時間との関係を調べた。また、斜入射(grazing incidence)法により X 線回折(X-ray diffraction、XRD)測定を行った。
- **3. 結果と考察** アニール時間が長くなるとともに V_{fb} 変動は正 (中塗り記号) から負 (中白記号) へと減少する (図1)。特に熱処理時間 15 分のものは 500s のストレス後においても V_{fb} 変動の絶対値が 0.1V 以下と良好である。図 2 に示した X 線回折像には γ - Al_2O_3 のピークが表れており、アニールにより Al_2O_3 膜の少なくとも一部が結晶化していることが分かる。今後、この結晶化と V_{fb} 変動との相関およびそのリーク電流に及ぼす影響を含め、高温アニールによる V_{fb} 変動低減効果をワイドバンドギャップ半導体基板上で検討していく。
- **4. 結論** 高温 $(1000^{\circ}\mathbb{C})$ の熱処理により Al_2O_3 膜のバイアス安定性を大きく向上させることができる。今後、本効果をワイドバンドギャップ半導体基板上で検証していく。

[謝辞] XRD 測定において早大/物性計測センターラボの後藤氏から技術支援を得た。

- [1] S. Zafar, et al., Appl. Phys. Lett., 81 (2002) 2608.
- [2] O. Beldarrain, et al., J. Vac. Sci. Technol. A 31 (2013) 01A128.

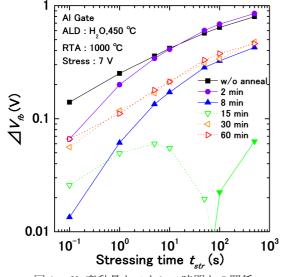


図 1 V_{fb} 変動量とストレス時間との関係

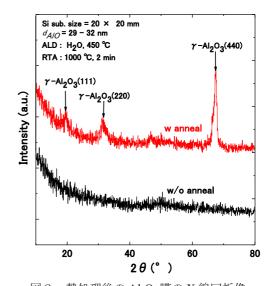


図2 熱処理後の Al₂O₃ 膜の X 線回折像