

層状物質電界効果トランジスタの高性能化のためのゲート界面改質

Gate interface modification for performance improvement of layered material FET

埼玉大院理工 ○原田 恭介, 上野 啓司

Saitama Univ. ○Kyosuke Harada and Keiji Ueno

E-mail: k.harada.009@ms.saitama-u.ac.jp

【序論】電界効果トランジスタ(FET)の極小化における短チャネル効果などの問題点を解決するために、バンドギャップを持ち、表面が平坦かつ不活性な層状物質である遷移金属ダイカルコゲナイド(TMDC)をチャネル層として用いることが検討されている。TMDCは、遷移金属をM(Mo, W, etc), カルコゲンをCh(S, Se, Te)としたときに組成式 MCh_2 で表される化合物群のことである。また、FETのゲート誘電体に高誘電率の絶縁体を用いることは、素子の低電圧動作を実現するうえで重要である。高誘電率の絶縁膜を堆積する方法として、近年、原子層堆積(ALD)法が注目されている¹⁾。本研究では、TMDC上に直接ALD成長した絶縁膜と、ポリマーバッファ層を導入しALD成長した絶縁膜それぞれの構造解析を行い、より高性能なトップゲートFETの形成を試みた。

【実験】 [ボトムゲートFET形成] ALD成長した絶縁膜を評価するため、まずボトムゲート $MoSe_2$ FETを作製した。n型Si基板を40% NH_4F 水溶液に浸漬し、表面の自然酸化膜を除去した後、Arスパッタ装置でAlの極薄膜を堆積した。その後、 O_2 プラズマ装置でAl極薄膜の酸化を行った後、ALDにより Al_2O_3 を堆積した。この上に、二セレン化モリブデン($MoSe_2$)の単層～数層の単結晶薄片を、粘着テープを用いた機械的剥離法によって転写した。続いて適当な厚さ、大きさを持つ薄片上に、フォトリソグラフィ、Arスパッタ装置を用いてAuのソース/ドレイン電極を形成し、ボトムゲートFETを形成した。[ALD成長絶縁膜の構造解析] SiO_2 膜(285 nm)付 $p^{++}Si$ 基板上に $MoSe_2$ 薄片を転写し、その上にALDにより Al_2O_3 を堆積した。また、ポリビニルアルコール(PVA)などのポリマーを基板にスピコートし、同様にALDにより Al_2O_3 を堆積した。

【結果・考察】ALD成長した Al_2O_3 上に作製したボトムゲートFETの伝達特性をFig. 1に示す。ALD成長した Al_2O_3 が十分な絶縁性を持ち、高誘電率ゲート誘電体として機能し低電圧動作が実現している。しかし、 $MoSe_2$ 上に Al_2O_3 をALD堆積して形成したトップゲートFETは動作しなかった。この原因としてはAFM像(Fig. 2)より、 $MoSe_2$ と Al_2O_3 界面の密着性が悪いことが考えられる。PVAバッファ層上に Al_2O_3 をALD成長したAFM像(Fig. 3)では、Fig. 2で見られた欠陥は認められない。このことから、PVAがALD堆積の均一性を向上していることが分かる。当日は、PVA等をバッファ層に用いたトップゲート $MoSe_2$ FETについても報告する。

【参考文献】 1) J. H. Park et al., *ACS Nano*, **10**, 6888–6896 (2016) 等。

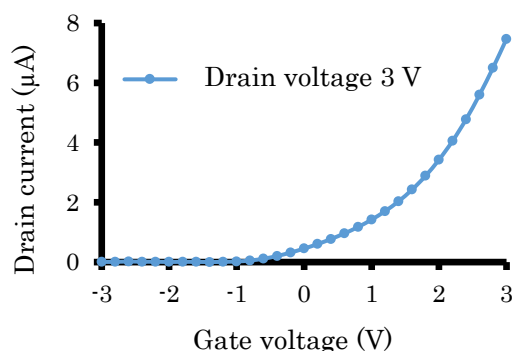


Fig. 1 Transfer characteristics of bottom gate $MoSe_2$ FET.

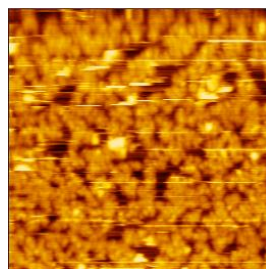


Fig. 2 AFM image of Al_2O_3 grown by ALD on $MoSe_2$ ($1 \times 1 \mu m^2$).

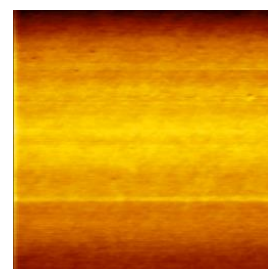


Fig. 3 AFM image of Al_2O_3 grown by ALD on PVA ($1 \times 1 \mu m^2$).