二硫化モリブデン電界効果トランジスタの高温動作時に観測される電流ジャンプとメモリー効果に関する解析

Analysis of current jump and memory effect observed in high temperature operation of MoS_2 single crystal FET

千葉大院融合 [1], バッファロー大 [2], (M2)山中 智貴 [1], 樋口 絢香 [1], (P)松永 正広 [1], (M1)神谷 航太 [1], G. He[2], J.P. Bird[1,2], 青木 伸之 [1]

Chiba Univ.[1], SUNY Buffalo[2], Tomoki Yamanaka[1], Ayaka Higuchi[1], Masahiro Matsunaga[1], Kota Kamiya[1], Guanchen He[2], Jonathan P. Bird[1,2], Nobuyuki Aoki[1]

E-mail: n-aoki@faculty.chiba-u.jp

近年、グラフェンや MoS_2 を代表とする二次元層状物質の研究が盛んに行われてきており、その中でも電界効果トランジスタ（FET）を始めとする電子デバイスへの応用が期待されている。それらの物質を用いた FET 構造の作製には、一般的に高濃度ドープされた Si 基板上に形成された熱酸化 SiO_2 層をゲート絶縁体としたバックゲート構造が用いられてきた。このような試料を 500 K 程度の高温で数時間真空アニール処理をすると、その後は 350 K 以上の温度でゲート電圧特性に電流ジャンプが観測されることを見出した[1]。この電流ジャンプ現象は 500 K といった高温であるにもかかわらず、5 桁にもおよぶ On/Off 比があり、さらには巨大なヒステリシス現象を伴うことから、高温で動作するメモリー素子としての利用が期待される。前回の講演会では、このような電流ジャンプ現象は、MoS_2 のみならずグラフェンでも観測されることから、高温において顕著となる SiO_2 層における電荷のトラップと放出現象によるモデルについて説明を行った[2]。今回の講演では、電荷の充放電現象に対する現象の詳細とメカニズムについて考察を行う。

試料は 300nm 厚の SiO_2 層を有する p^{++}-Si 基板上に CVD 成長させた単層 MoS_2 と劈開法によって作製した数層 MoS_2 を対象試料とした。これらの FET 試料を真空中、500K で数時間アニールした後、各温度でゲート電圧特性を観察した。また、ゲート掃引の速さや、保持時間、振り幅等を変えることによる特性の変化について確認を行った。

Figure 1 は 490K で観測された、単層 MoS_2-FET の-40 V から+100 V までのゲート電圧特性である。ゲート電圧の掃引の際に-30V において 1～32 時間の保持時間を入れた際の特性の変化を示している。保持時間を入れなかった場合（赤）に対して、保持時間を入れることで電流ジャンプの開始電圧が右側にずれていっていることがわかる。これは保持時間中に SiO_2 内にトラップされる電荷密度が増加したことに対応していると考えられる。一方で、on 状態での電流値には変化が見られず保持時間に依存していない。このことから、on 電流の増加はトラップ電荷量に関係なく、ゲート電圧によって誘起される電荷によって担われているものと考えられる。

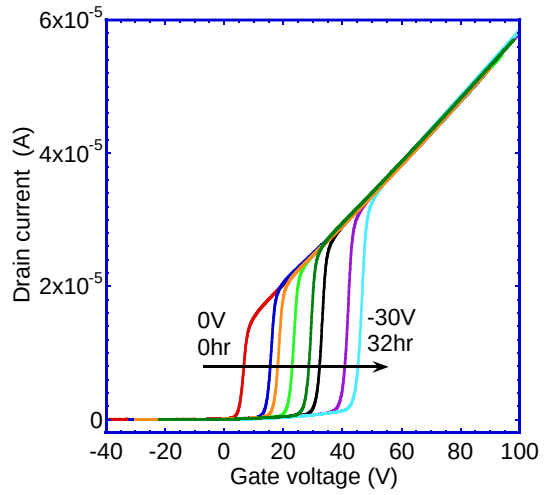

Fig. 1 Current jump observed in gate voltage sweep with changing holding time at -30 V.

[1] G. He, *et al.*, Nano Lett. **16**, 6445(2016).

[2] 第 64 回応用物理学会春季学術講演会, 16p-F203-14, p.136, 3 月 17 日, 2017.