

n 型 c-Si 太陽電池の電圧誘起劣化における飽和とその起源に関する考察

Consideration on the saturation mechanism of PID in n-type c-Si photovoltaic modules

○ 山口 世力¹, 中村 京太郎², 増田 淳³, 大平 圭介¹ (1. 北陸先端大, 2. 明治大, 3. 産総研)

○ S. Yamaguchi¹, K. Nakamura², A. Masuda³, K. Ohdaira¹ (1. JAIST, 2. Meiji Univ., 3. AIST)

E-mail: s-yamaguchi@jaist.ac.jp

近年, 高い変換効率を有する n 型 c-Si 太陽電池が注目を集めている. n 型フロントエミッター型 c-Si (以下, 単に n 型 c-Si) 太陽電池は, 負のバイアス下で, 表面 SiN_x 膜中への正電荷の蓄積に起因する電圧誘起劣化 (PID) を生じることが知られている [1, 2]. 我々は, n 型 c-Si 太陽電池の PID の飽和挙動から, SiN_x 膜中の正電荷の蓄積が K センターへの正孔のトラップに起因するという仮説を立てた [3]. 本研究では, C-V 測定および ESR 測定の結果に基づき, PID の飽和挙動の仮説に関する検証を行う.

$\text{SiN}_x/\text{SiO}_2$ 積層パッシベーション膜を有する市販の n 型 c-Si 太陽電池セルから太陽電池モジュールを作製した. 85°C の環境下で, モジュールの表面からセルに対して -1000 V を印加することによりモジュールレベルの PID 試験を行った. 一方で, p 型 c-Si 基板上に堆積した $\text{SiN}_x/\text{SiO}_2$ 積層膜に対して, 65°C , -1000 V の条件でセルレベルの PID 試験 [4] を実施し, C-V 測定により試験前後の蓄積電荷密度を算出した.

Fig. 1 はモジュールレベルの PID 試験における, 初期値で規格化した最大出力 $P_{\text{max}}/P_{\text{max},0}$ の試験時間依存性を示している. $P_{\text{max}}/P_{\text{max},0}$ は 10 秒以内に低下を始め, 120 秒以内に飽和する. この劣化は, 表面再結合の増大に起因する V_{oc} および J_{sc} の低下により特徴づけられることを確認した.

Fig. 2 には, C-V 測定によって得られたセルレベルの PID 試験前後の $\text{SiN}_x/\text{SiO}_2$ 積層膜中の正電荷密度を示している. また, 図中の破線は ESR 測定により算出した SiN_x 単膜中の K センター密度を示している. すべての C-V 曲線は表面電極からの電子の注入に起因する時計回りのヒステリシスを示した. 初期の電荷密度は 10^{11} cm^{-2} のオーダーであった. 一方で, 3 h の PID 試験後には電荷密度はおよそ $4 \times 10^{12}\text{ cm}^{-2}$ まで増加し飽和することがわかる. 65°C におけるセルレベルの PID 試験の劣化速度は, 85°C におけるモジュールレベルの PID 試験と比較して 90–120 倍遅いことが確認されたため [5], セルレベルの PID 試験での 3 h はモジュールレベルの PID 試験の 1.5–2 min に対応することがわかる. このことは, 電荷密度の飽和が $P_{\text{max}}/P_{\text{max},0}$ の飽和とほぼ同程度の時間で生じることを意味する.

電荷密度の飽和値はおよそ $4 \times 10^{12}\text{ cm}^{-2}$ であり, ESR によって測定された K センター密度 ($4.4 \times 10^{12}\text{ cm}^{-2}$) と同程度である. この結果は, SiN_x 膜中の正電荷の蓄積が K センターへの正孔のトラップに起因するという仮説とよく一致する. モジュールレベルの PID 試験の間, ガラス表面/セル間には $\sim 0.1\text{ }\mu\text{A}/\text{cm}^2$ のリーク電流が生じており, 120 秒間で K センター密度を大きく上回る $7.5 \times 10^{13}\text{ cm}^{-2}$ の電荷がセル表面に供給される. 我々の仮説では, 劣化の飽和はすべての K センターが正に帯電した状態に対応する. 上記の事実は, 120 秒以内という短時間で劣化が飽和することと矛盾しない.

謝辞: 本研究は, NEDO 「高性能・高信頼性太陽光発電の発電コスト低減技術開発」の委託により実施された.

参考文献: [1] K. Hara *et al.*, *Sol. Energy Mater. Sol. Cells* **140**, 361 (2015)., [2] S. Bae *et al.*, *Energy Sci. Eng.* **4**, 30 (2017)., [3] S. Yamaguchi *et al.*, *Appl. Phys. Express* **9**, 112301 (2016)., [4] D. Lausch *et al.*, *IEEE J. Photovoltaics* **4**, 834 (2014)., [5] S. Yamaguchi *et al.*, *Sol. Energy* (Submitted).

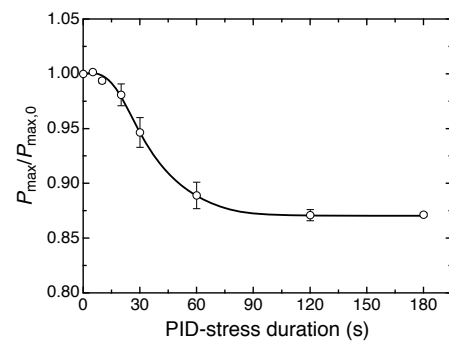


Fig. 1: Time dependence of $P_{\text{max}}/P_{\text{max},0}$ of the n-type c-Si PV modules in the module-level PID tests where a bias of -1000 V was applied.

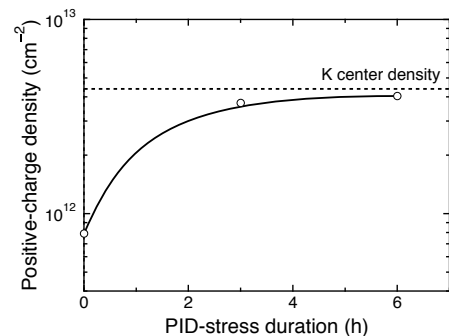


Fig. 2: Positive-charge densities in the $\text{SiN}_x/\text{SiO}_2$ films as a function of the PID-stress duration in the cell-level PID tests.