

局所 DLTS 法の高度化による SiO₂/4H-SiC 界面の欠陥分布の高精度評価

An accurate evaluation of defect distributions at SiO₂/4H-SiC interfaces

by the improvement of local deep level transient spectroscopy

東北大 [○]山岸裕史 長康雄

Tohoku Univ., [○]Yuji Yamagishi, Yasuo Cho

E-mail: yamagishi@riec.tohoku.ac.jp

[はじめに] SiC MOS 型電界効果トランジスタの高性能化・高信頼性化のために、SiC の酸化膜界面の評価は重要である。Deep level transient spectroscopy (DLTS)法は酸化膜/半導体界面の欠陥の評価手法として広く用いられているが、これまでに我々は界面欠陥のマイクロな面内分布を計測可能な局所 DLTS 法を開発し、SiO₂/4H-SiC 界面の欠陥準位がナノスケールで不均一に面内分布していることを報告してきた[1]。一方これまでの局所 DLTS の測定系では、試料にパルス電圧を印加した後の静電容量変化の時間波形を複数の周波数成分に分割し、そのうちの一部の成分のみを測定する構成であったため、評価出来る時間波形の形状や界面欠陥のエネルギー深さの解析方法に制限があった。今回我々は測定系の改良を行い、静電容量変化の時間波形を直接取り込むことが可能な測定系を構築した。これによりパルス印加中の静電容量の時間変化や欠陥準位密度のエネルギー分布の正確な解析が可能となったのでここに報告する。

[実験と結果] n 型 SiC 基板の(0001)面に 20 nm の熱酸化膜が形成された試料を用い、図 1(a)の装置構成で測定を行った。幅 10 μ s、-10 V の電圧パルスを試料に印加した時の静電容量の時間変化を測定した結果を図 1(b)に示す。電圧パルスのターンオフ後には静電容量の緩やかな増加が見られるが、これは欠陥準位に捕獲された電子の放出過程に起因する。さらにこの過渡応答の解析によって得られた D_{it} のエネルギー分布では、伝導帯端側に向かって D_{it} が増加する特徴が見られる。また電圧パルスのターンオン直後にもパルスの容量変化以外に過渡的な容量の減少が生じることが分かったが、これは捕獲時定数の遅い欠陥準位への電子の捕獲過程を捉えている可能性がある。さらに図 1(c)では D_{it} の不均一な面内分布が可視化されており、不均一な分布が界面での微視的なキャリア輸送に影響を与えている可能性が示唆される。

[謝辞] 本研究で用いた試料は産総研の小杉亮治氏にご提供頂いた。また本研究は SIP 次世代パワーエレクトロクス及び科学研究費補助金 (16H06360) によって実施された。

[参考文献] [1] N. Chinone, et al., *Microelectronics Reliability*, 64 (2016) 566-569.

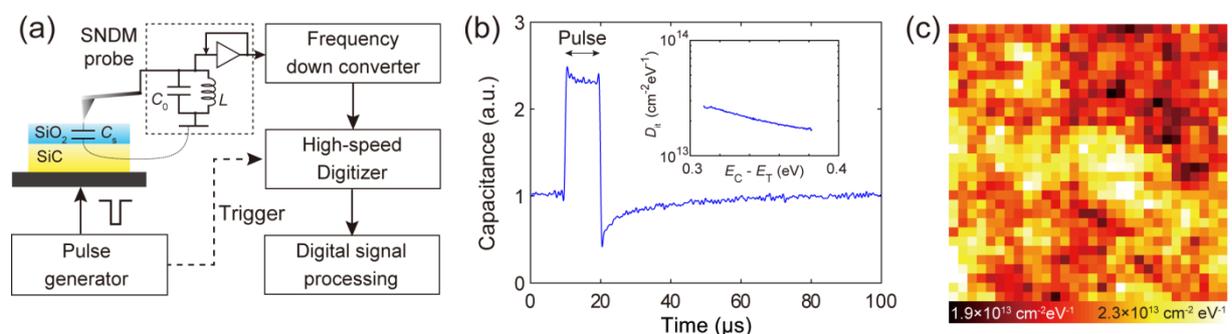


図 1 (a) 改良後の局所 DLTS 装置の構成. (b) 幅 10 μ s の電圧パルスを印加した時の静電容量の時間変化. パルス印加後の過渡応答成分の解析によって得られた D_{it} のエネルギー分布も併せて示した. (c) D_{it} の面内分布像. 0.31 eV $< E_C - E_T < 0.38$ eV のエネルギー深さの D_{it} の平均値をマッピングした.