

ジャンクションレス 4H-SiC(0001) MOSFET の電子移動度評価

Electron mobility characterization of 4H-SiC(0001) junctionless MOSFET

◦武田 紘典、細井 卓治、志村 考功、渡部 平司 (阪大院工)

◦Hironori Takeda, Takuji Hosoi, Takayoshi Shimura, Heiji Watanabe (Osaka Univ.)

E-mail: takeda@asf.mls.eng.osaka-u.ac.jp

【はじめに】熱酸化 SiO₂/SiC 界面には高密度の界面準位が存在するため、熱酸化後の NO 雰囲気下でのアニール処理により界面特性改善を図るのが一般的である。しかし Si 面の NO アニール MOSFET の電界効果移動度は 30 cm²/Vs 前後とバルク移動度 (~1000 cm²/Vs) に比べ非常に低い[1]。また最近、NO アニール処理で電界効果移動度が上昇するのは界面トラップキャリアが減少し可動キャリアが増えているため、ホール移動度はほとんど変わらないことがホール効果測定から指摘されている[2]。更にはチャンネル中の Al ドーパント濃度が高い領域 (>10¹⁸ cm⁻³) でチャンネル移動度が劇的に劣化することも報告されている[3]。これらの報告にあるように SiC MOSFET のチャンネル移動度劣化には多数の要因が存在しており、その理解は不十分であるといえる。そこで本研究では Al 原子が存在しない高濃度 n⁺エピタキシャル層をチャンネルに用いたジャンクションレス MOSFET を作製しその移動度を評価したので報告する。

【実験及び結果】n 型 4H-SiC(0001)上に p 層と n⁺層 (N_D=5.0×10¹⁹ cm⁻³, 厚さ 200 nm) を順にエピ成膜した基板を用い、図 1 に示すようなジャンクションレス MOSFET を作製した。ICP-RIE によりメサ分離とゲートリセスエッチングを行った後、dry O₂ 大気圧雰囲気下で 1300°C、30 分間の熱酸化により 50 nm 厚のゲート酸化膜を形成し、Ar 雰囲気下で 1300°C、30 分間のアニールを施した。チャンネルとなる n⁺層の厚さは約 20 nm 程度である。作製した MOSFET のドレイン電流-ゲート電圧 (I_D-V_G) 特性を図 2 に示す。ゲート電圧-25 V 付近で明確なオフを示すトランジスタ動作を確認した。図 3 に作製した MOSFET の電界効果移動度を示す。電界効果移動度のピーク値は約 20 cm²/Vs を示したが、このときのゲート電圧はフラットバンド電圧 (V_{FB}) よりも負側に位置していることから、MOS 界面に蓄積層は形成されておらず、n⁺-SiC 中のバルク移動度を反映していると考えられる。一方、V_{FB} 近傍での移動度は 18 cm²/Vs 前後であり、V_{FB} より正バイアス側の蓄積領域でも顕著な移動度劣化は見られず、同酸化条件で作製した一般的な反転型 MOSFET の電界効果移動度 (3~4 cm²/Vs) に比べて高い値を示した。このことは Al 原子がチャンネル移動度劣化要因の一つである可能性を示唆しており、当日はより詳細な移動度評価結果について報告する。

[1] G. Y. Chung *et al.*, IEEE Electron Devices Lett. **22**, 176 (2001). [2] T. Hatakeyama *et al.*, Appl. Phys. Express **10**, 046601 (2017). [3] S. Nakazawa *et al.*, IEEE Trans. Electron Devices. **62**, 309 (2015).

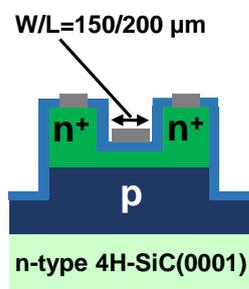


Fig. 1 Schematic of n⁺-channel junctionless MOSFET fabricated on 4H-SiC(0001) epilayer.

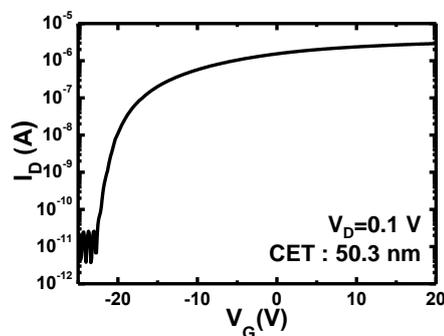


Fig. 2 I_D-V_G characteristics of n⁺-channel junctionless MOSFET fabricated on 4H-SiC(0001) epilayer.

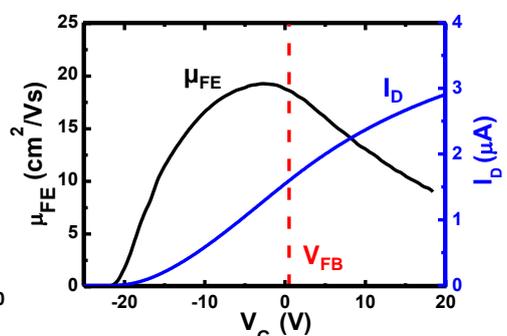


Fig. 3 Field-effect mobility of junctionless MOSFET and I_D-V_G curve.