

極限環境エレクトロニクスのための 4H-SiC nMOSFETs セルフアラインプロセス

Self-aligned 4H-SiC nMOSFETs for harsh environment electronics

○黒瀬 達也¹, 黒木 伸一郎¹, 石川 誠治^{1,2}, 前田 知徳^{1,2}, 瀬崎 洋^{1,2},

牧野 高紘³, 大島 武³, Mikael Östling⁴, Carl-Mikael Zetterling⁴

(1. 広島大学ナノデバイス・バイオ融合科学研究所, 2. フェニテックセミコンダクター株式会社,

3. 量子科学技術研究開発機構, 4.KTH Royal Institute of Technology)

○Tatsuya Kurose¹, Shin-Ichiro Kuroki¹, Seiji Ishikawa^{1,2}, Tomonori Maeda^{1,2},

Hiroshi Sezaki^{1,2}, Takahiro Makino³, Takeshi Ohshima³, Mikael Östling⁴, Carl-Mikael Zetterling⁴

(1. Hiroshima Univ., Research Inst. of Nanodevice and Bio Systems, 2. Phenittec Semiconductor Co.,Ltd., 3. National Institutes for Quantum and Radiological Science and Technology,

4. KTH Royal Institute of Technology)

E-mail: {tatsuya-kurose, skuroki}@hiroshima-u.ac.jp

【はじめに】極限環境(高温、高放射線、高圧、腐食性ガスなど)では人が立ち入ることが難しいため、よりモニタリングが求められており、そのような環境でも動作可能な集積回路・センサーである、極限環境エレクトロニクスが必要とされる。4H-SiC は Si に比べてバンドギャップが大きく、耐熱性、耐放射線性に優れ、加工も可能であることから近年注目を浴びている半導体材料である。本研究グループでは、4H-SiC による nMOSFET の作製をし、その動作および高温および高ガンマ線照射後の動作を示した[1]。4H-SiC nMOSFET ではイオン注入後の活性化アニール温度が 1800°C と超高温であるため Si プロセスで用いられるセルフアラインプロセスは適用できない。そのため従来の 4H-SiC nMOSFET ではリソグラフィを用いてゲートとソース・ドレイン領域の位置合わせを行った。しかし、この方法ではゲートとソース・ドレイン領域のオーバーラップ容量が大きくなり、周波数特性が悪くなる問題が挙げられた。本研究では、MOSFET の構造をトレンチ型にすることにより新たなセルフアラインプロセス技術を確立し、4H-SiC nMOSFET のセルフアラインプロセスの実現に向けた研究を行った。

【実験方法】4H-SiC (0001)4°基板上に Al を不純物とした p 型エピタキシャル層を形成した。イオン注入で As の不純物導入を行い n+領域を形成し、カーボンキャップ形成後 1800°C での不純物活性化アニールを行った。カーボンキャップ除去後、LPCVD (Low Pressure Chemical Vapor Deposition)で SiO₂を堆積した。CF₄を用いた RIE (Reactive Ion Etching)で SiO₂と SiC をエッチングしてトレンチ構造を形成した。1150°C のドライ酸化でゲート絶縁膜を形成後、Nb と Ni を堆積しアニールを行うことでオーミック電極を形成した。Al をスパッタで堆積させゲート電極とパッド電極を形成した。図 1 にトレンチ型 4H-SiC nMOSFET の構造図を示す。LPCVD SiO₂の堆積により、オーバーラップ容量の低減を狙った。

【測定結果と考察】図 2 に作製したトレンチ型 4H-SiC nMOSFET の Id-V_g 特性を示す。閾値電圧は 4.30 V、オンオフ比は 5×10⁷、S 値は 500 mV/dec、移動度は 0.75 cm²/Vs となった。また、CF₄を用いた RIE による 4H-SiC の表面ラフネスの増加は見られず、トレンチ型 4H-SiC nMOSFET の Id-V_g 特性はオンオフ比、S 値、移動度において従来のものよりも向上が見られた。

[1] H. Nagatsuma, S-I. Kuroki, M. De Silva, S. Ishikawa, T. Maeda, H. Sezaki, T. Kikkawa, M. Östling, and C.-M. Zetterling, “4H-SiC nMOSFETs with As-doped S/D and NbNi silicide ohmic contacts,” The International Conference on Silicon Carbide and Related Materials 2015, Mo-P-26 (2015).

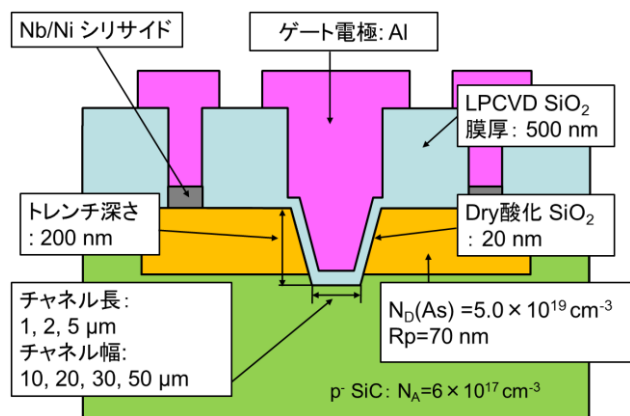


図 1. トレンチ型 4H-SiC nMOSFET の構造図

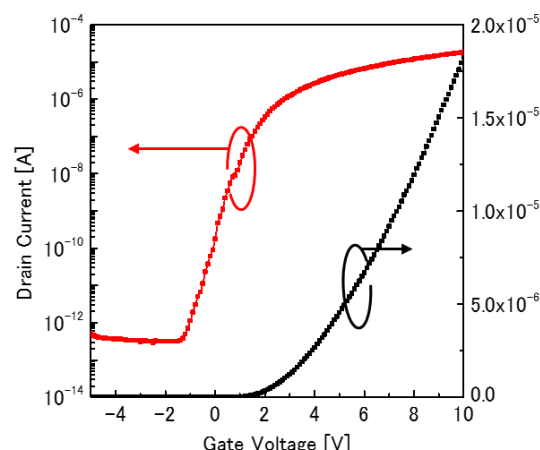


図 2. トレンチ型 4H-SiC nMOSFET Id-V_g 特性
(L = 1 μm, W = 50 μm)