

後プラズマ及び熱処理による高性能 Top-Gate ZnO TFT の作製

High Performance Top-Gate ZnO TFT Achieved by Post Oxidation and Annealing

東大院工 °加藤 公彦, 松井 裕章, 田畑 仁, 竹中 充, 高木 信一

°Kimihiko Kato, Hiroaki Matsui, Hitoshi Tabata, Mitsuru Takenaka, Shinichi Takagi

The University of Tokyo E-mail: kkato@mosfet.t.u-tokyo.ac.jp

【背景】 高い電子移動度を有する酸化亜鉛 (ZnO) を用いた薄膜トランジスタ (TFT) は、ディスプレイ応用に加えて、LSI 応用としても近年着目されている。微細化されたトップゲートデバイスに対しては、膜厚制御や段差被覆性の観点より、ZnO チャンネル上への原子層堆積 (ALD) 法によるゲート絶縁膜形成が有望である。しかしながら、ALD で用いる金属錯体原料の多くは還元性を示し、Ge や III-V 半導体表面の自然酸化膜をエッチングすることから、酸化物半導体に対してはより精密な制御が必要と考えられる。絶縁膜/半導体界面制御技術として、これまで我々は、絶縁膜堆積後の酸素プラズマプロセスを報告している^{2,3)}。本手法ではゲート絶縁膜堆積後に界面に酸素を供給し、欠陥終端を行う。したがって、トップゲートの ZnO TFT に対しても本手法は有望と考え、プラズマ処理を中心とした後処理の効果を系統的に調査した。

【試料作製】 SiO₂/p-Si 基板上にパルスレーザー堆積 (PLD) 法により 200°C において膜厚 11-13 nm の ZnO 膜を堆積し、O₂ 雰囲気中で 400°C の熱処理を施した後、希 HCl によりパターンニングを行った。続いて、原子層堆積 (ALD) 法により 200°C において Al₂O₃ ゲート絶縁膜を堆積した。1 および 10 nm の Al₂O₃ 膜を堆積した時点において、post plasma oxidation (PPO) および post O₂ annealing (POA) をそれぞれ施した。TiN ゲートおよび Al ソース/ドレイン電極を形成後、N₂ 雰囲気において post metallization annealing (PMA) を行った。諸条件および構造を Fig. 1 にまとめる。

【結果および考察】 PPO および POA による TFT の I_d - V_g 特性の変化を Fig. 2 に示す。300°C の PMA により特性が向上することが確認されているため、PMA 後の結果を示している。良好な ON/OFF 特性を得るためには、PPO が必須であることが分かる。これは、Al₂O₃/ZnO 界面に効果的に酸素を供給することで界面準位密度が減少し、ゲートバイアスにより ZnO のバンド変調が可能となった結果と考えられる。また、高い I_{ON} も共に実現するためには、PPO に加え POA 処理も重要であり、Al₂O₃/ZnO 界面特性の改善と ZnO の結晶性の向上によると推測される。本試料において、~120 mV/dec. のサブスレショルドスロープ (S.S.) を達成した。 I_d - V_g 特性より求めた電界効果移動度 (μ_{FE}) を Fig. 3 に示す。ゲート長の増大およびチャネル幅の減少によりピーク μ_{FE} 値が増大していることより、 I_{ON} は S/D コンタクトや寄生抵抗によっても制限されている可能性が残るものの、50 cm²/V·s を上回る、多結晶 ZnO バルク値に匹敵する高い μ_{FE} が得られた⁴⁾。

【結論】 極薄 ZnO チャンネル層 (~12 nm) を有する TFT のゲートスタック特性向上に向け、後プラズマ及び熱処理の効果を明らかにした。PPO、POA 及び PMA の適切な組み合わせが急峻な ON/OFF 動作には必須であり、同時に、とりわけ高い μ_{FE} を達成可能であることが明らかとなった。

【参考文献】 ¹⁾ C. L. Hinkle *et al.*, Microelec. Eng. **86**, 1544 (2009). ²⁾ R. Zhang *et al.*, Appl. Phys. Lett. **98**, 112902 (2011). ³⁾ K. Kato *et al.*, Jpn. J. Appl. Phys. **52**, 04CA08 (2013). ⁴⁾ K. Ellmer *et al.*, Thin Solid Films **516**, 4620 (2008).

【謝辞】 本研究は、JST CREST の支援 (JPMJCR1332) を受けたものである。

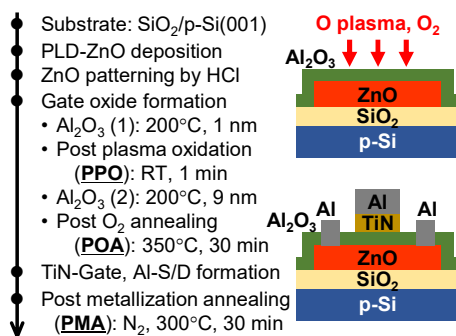


Fig. 1 Fabrication process and structure of top-gate ZnO TFT with various post oxidation and annealing.

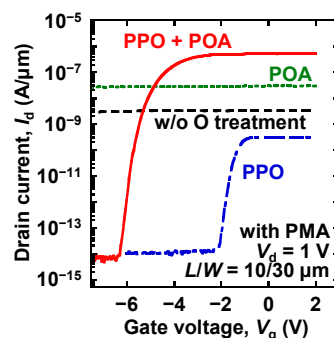


Fig. 2 Change in I_d - V_g characteristics of ZnO TFT with various post treatments.

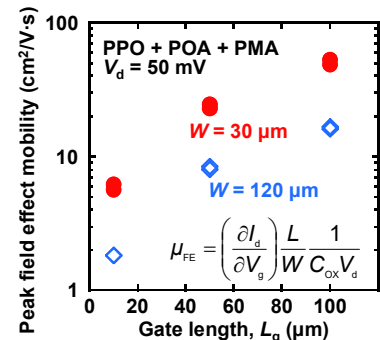


Fig. 3 Peak field effect mobility of ZnO TFT with optimized post treatment.