

低遅延な線形光学多ビット入力 AND 回路の検討

Investigation for low latency linear optics multiple bit input AND circuits

○北翔太^{1,2}, 野崎謙悟^{1,2}, 江川巧³, 石原亨³, 新家昭彦^{1,2}, 納富雅也^{1,2}

(1. NTT ナノフォトニクスセンタ, 2. NTT 物性研, 3. 京都大学)

○S. Kita^{1,2}, K. Nozaki^{1,2}, T. Egawa³, T. Ishihara³, A. Shinya^{1,2}, and M. Notomi^{1,2}

(1. NTT Nanophotonics Center, 2. NTT Basic Research Labs., 3. Kyoto Univ.)

E-mail: kita.shota@lab.ntt.co.jp

我々は低遅延な演算回路として、「線形ゲートをメイン運用しつつ非線形ゲートを要所で使い、最終段で電氣的に判定する新しいコンセプトの光電融合演算回路（電気デジタル入力→光アナログ演算→電気デジタル出力）」を模索している。その一例として、Si 細線などの微小光回路の利用を前提とした線形光学多ビット入力 AND 回路を検討し、規模（段数 N ）・遅延・計算確度の関係を調査した。

8 bit AND 回路の構成例を Fig. 1(a)に示す。初段 ($N=1$) と終段 ($N=3$) にバイアスポート付き Si 細線合流 AND ゲート¹⁾を導入する。初段で位相ビット AND（電気デジタルビット“0”を“ π （バイアス光と逆相）”，“1”を“0（バイアス光と同相）”の位相ビットに変換して合流、動作は挿入図）をとる。中段の Y 合流では信号光を同相合流し、振幅を線形に足し合わせる。終段の振幅ビット AND（バイアス光は信号光に対して逆相、動作は挿入図）でコントラストを回復した後、受光器 (PD) とセンスアンプ (SA) により全電気デジタルビットが“1”（オール 1）の場合のみ“1”が出力されるようにしきい値処理する。同相合流のために全ての信号光の経路は等長化されている。オール 1 といずれかが“0”（1 ミス）の場合の受光強度差の N 依存性を(b)に示す。以降は動作周波数 10 GHz，最大受光強度 1 mW を仮定した。 N が増えるほど受光強度差が小さくなり、演算誤り率 (CER) が増大する。MOS を用いた SA²⁾ で判別可能な受光強度差を 10 μ W とすると、256 bit AND まで可能となる。パス遅延と光電流による MOS (20 k Ω , 1 fF) の充電遅延を(c)に示す。位相シフタを 10 μ m 間隔で並べる場合、128 bit AND では合計 15 ps となる (cf. CMOS による 128 bit AND 回路では 145 ps)。一方で回路面積は ~ 0.4 mm² となる。

(a)をベースに 64/128/256 bit AND 回路を構成し、それらにオール 1 と 1 ミス信号列を交互に入力した場合のアイパタンのシミュレーション結果を(d)にまとめる。ここでは PD の熱雑音 (1 fF, 5 k Ω , 298K) およびショット雑音, RF 電気信号源の雑音 (SNR ~ 20 dB) を想定している。アイパタンから CER を見積もったところ、少なくとも 128 bit AND では CER $\sim 10^{-12}$ と小さい。規模の限界は主に PD の特性で変動する。本回路は一致検索回路に応用できる。本研究は CREST (#JPMJCR15N4), JST の支援を受けたものである。参考文献 1) 北ら, 秋季応物, 本会発表 (2017). 2) I. Arsovski et al., *IEEE JSSC* **38**, 1958 (2003).

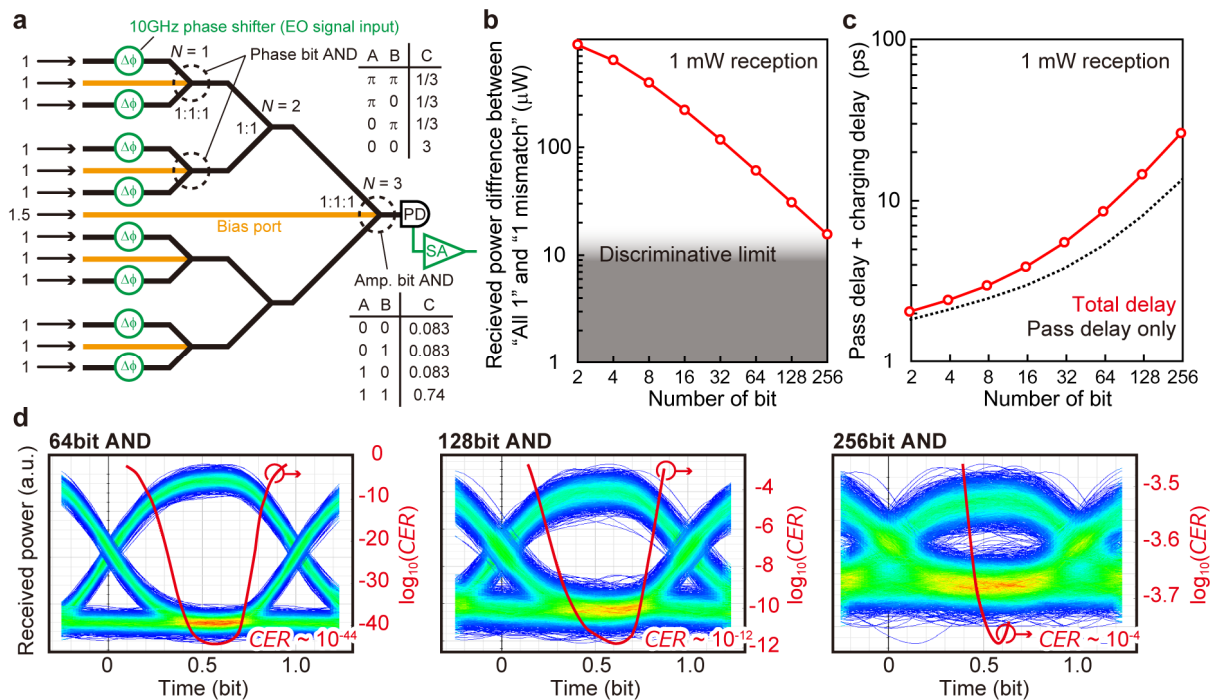


Fig. 1(a) Schematic of 8 bit input linear optic AND circuits. Insets denote the input/output relations for phase/amplitude bit AND with a bias¹⁾. (b) Absolute received power difference between input bit sequence of "All 1" and "1 mismatch" with different N . (c) Pass delay and charging delay with different N . (d) Simulated eye diagrams and their CER with realistic PD and RF signal noises for 64/128/256 bit AND circuits.