

電気ストレスによる $\text{Al}_2\text{O}_3/\text{InGaAs}$ MOS 界面における界面準位発生 Interface state generation in $\text{Al}_2\text{O}_3/\text{InGaAs}$ MOS structures by electrical stress

東京大学

°尹尚希, 張志宇, 安大煥, 竹中充, 高木信一

The University of Tokyo

°S. -H. Yoon, C.-Y. Chang, D. -H. Ahn, M. Takenaka and S. Takagi

E-mail: kitte1357@mosfet.t.u-tokyo.ac.jp

【はじめに】 III-V族化合物半導体であるInGaAsは、低い有効電子質量と高い電子移動度を持つためSiの次世代チャネル材料として注目を集めている。一方、InGaAsのMOSトランジスタへの実用化に向けて、InGaAs MOSゲートスタックの信頼性向上が重要な課題である。Siの場合、 SiO_2/Si に電気ストレスを与えることによるゲートスタックの信頼性が評価されており、界面準位発生やキャリアトラッピングの機構がよく知られている。しかし、 $\text{Al}_2\text{O}_3/\text{InGaAs}$ MOS界面の電気ストレスによる信頼性についてはまだ十分理解されていない。そこで本研究では、 $\text{Al}_2\text{O}_3/\text{InGaAs}$ MOSゲートスタックに正と負の定電圧ストレスを加え、界面特性の変化を評価した。特に、界面特性劣化の極性依存性を界面準位 (D_{it})と酸化膜トラップから評価し、定電圧ストレスによる界面劣化モデルを提案した。

【研究内容】 ゲート電圧ストレスが InGaAs MOS 界面特性に与える影響を調べるために、 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ MOS キャパシタを製作した。ここで、ゲート絶縁膜としてALD Al_2O_3 3nm、ゲート電極には W が用いている。また、酸化膜に同様な電圧を与えるために、正の定電圧ストレスとして 2V (酸化膜電圧 $V_{OX}=1.8\text{V}$)、負の定電圧ストレスとして -2.2V ($V_{OX}=-1.78\text{V}$)を与えた。ストレスを 60s から 240s まで 60s 間隔で与えた後の 1 MHz での CV カーブを比較した (Fig. 1)。結果として、定電圧ストレスの極性によって CV カーブの変化とフラットバンドシフト (ΔV_{FB}) の方向が異なることが見られた。正の定電圧ストレスではフラットバンドがストレス時間に対して正の方向に、負の定電圧ストレスでは負の方向にシフトしたことが分かる (Fig. 2)。CV カーブから Terman 法を用いて求めた界面準位密度 (D_{it})のゲート電圧ストレス依存性を Fig. 3 に示す。この結果から、酸化膜電圧を揃えたストレスにもかかわらず、電圧ストレスの極性によって界面特性の変化が異なることが分かった。

定電圧ストレスの極性により ΔV_{FB} の方向が異なる理由は、各ストレスで生じる電荷トラップが異なるためと考えられる。Fig. 4に、ストレス前後でのゲート電流の変化を示す。正の定電圧ストレスでは $|\Delta V_G|$ が増加したことから負電荷トラップが、負の定電圧ストレスでは $|\Delta V_G|$ が減少したことから正電荷トラップが、膜中に生成したと考えられる。これは ΔV_{FB} の変化と一致する結果である。一方、 SiO_2/Si MOS界面では、負の電気ストレスにおいて正の電気ストレスより界面準位が多く発生することが知られている。この機構として、電気ストレスによって注入されたホットエレクトロンが、ゲート電極中でエネルギーを失って電子正孔対を生成し、生成された正孔が酸化膜に注入されて、界面近傍の正孔トラップに捕獲され、このトラップに電子が捕獲されることによって界面準位が生成されるというモデルが提案された[1]。本実験結果でも、 SiO_2/Si MOS界面での上記モデルで示唆された様にホール捕獲が観測されていることから、本実験結果に対し、Fig. 5のモデルを提案する。負の定電圧ストレスで $\text{Al}_2\text{O}_3/\text{InGaAs}$ MOS界面に界面準位が多く発生した理由は、このバイアス条件での高いホール電流によって、正電荷トラップ量が多くなることに起因するものと考えられる。

【結論】 InGaAs/ Al_2O_3 MOS ゲートに正と負の定電圧ストレスを加えた結果、負の定電圧ストレスでより大きな正電荷トラップ量と界面準位の発生が観測された。これは、負の定電圧ストレスでのホール電流に起因するものと考えられる。

【謝辞】 本研究は、JST、CRESTの支援 (Grant番号 JPMJCR1332) を受けたものである。また、InGaAs エピ基板を提供頂いた、住友化学の市川磨氏、横山正史氏、山田永氏、山本武継氏に感謝する。

【参考文献】 [1] S. K. Lai, J. Appl. Phys. 54(1983) 2540.

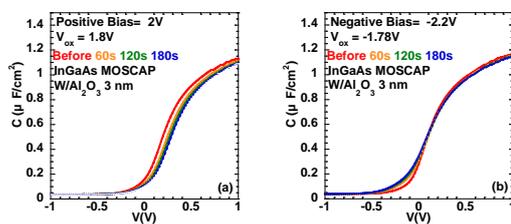


Fig.1 Change of CV curve after gate constant bias stress

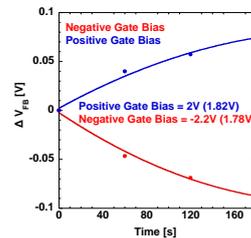


Fig.2 Change of V_{FB}

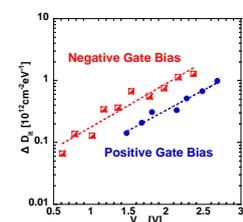


Fig.3 Generated $D_{it} - V_{OX}$

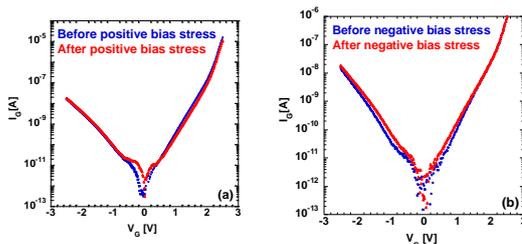


Fig. 4 Change of $I_G - V_G$ after (a) positive (b) negative bias stress

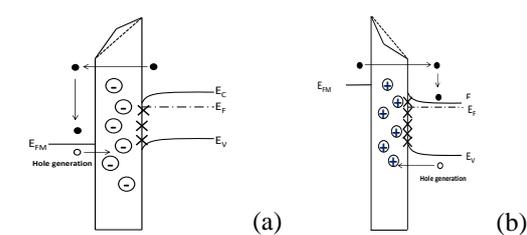


Fig.5 Change of electric potential distribution and carrier movement under (a)positive (b)negative bias stress