

超高次非線形誘電率顕微鏡法を用いた局所 DLTS 法の開発と MOS 界面評価

Development of Local DLTS Based on Super-Higher-Order Scanning Nonlinear Dielectric Microscopy and Its Application to MOS Interface Characterization

東北大通研¹ 茅根 慎道¹ °長 康雄¹

Tohoku Univ.¹, Norimichi Chinone¹, °Yasuo Cho¹

E-mail: yasuocho@riec.tohoku.ac.jp

一般に半導体中の欠陥はキャリアを捕獲してデバイス内での電気伝導を妨げたり、生成再結合中心として働いてキャリアの寿命を短くしたりする。特に MOS デバイスにおいて絶縁膜-半導体界面の欠陥（界面準位）は重要な欠陥である。界面準位はゲート電圧により誘起される反転層のキャリアをトラップしてチャネル形成を阻害したり、電気伝導に寄与するキャリアを減らしてチャネル抵抗を大きくしたりする。またトラップされたキャリアが固定電荷として振る舞うことでキャリアの散乱中心として働いたり閾値電圧を変化させたりする。そのため界面準位は MOS トランジスタのスイッチング特性や閾値電圧、ノイズ特性と密接に関係する。近年応用が盛んになりつつある SiC 半導体デバイスにおいても SiO₂/SiC 界面欠陥の存在は大きな問題とされており、界面準位の起源解明と密度の低減のために多くの研究がなされている。

界面準位を測定する代表的な手法として Deep Level Transient Spectroscopy (DLTS)が知られている。DLTS は静電容量のゲート電圧に対する過渡応答から半導体材料中の欠陥を検出する手法である。DLTS は定量性が有りがちエネルギー弁別性に優れるため広く用いられている。しかしながら測定には比較的面積が大きな MOS キャパシタが用いられるため空間分解能は数百 μm から mm スケールであり、面内の平均的な界面欠陥に関する情報しか得られない。欠陥の物理的起源を探る上では面内平均の情報だけではなく局所的な情報も有益と期待される。

そこで、今回著者独自の手法である超高次 (SHO) 非線形誘電率顕微鏡法 (SNDM) を拡張し探針試料間容量のパルス電圧に対する応答を超高次 SNDM により分析し、界面トラップを微視的に評価する新しい手法を開発した。本手法は、パルス電圧に対する容量の過渡応答を分析する点でトラップの検出原理が DLTS と共通である。そこでここでは同手法を局所 DLTS と呼称する。界面トラップの存在により生じる静電容量の過渡応答を詳細に調べることで界面に存在するトラップの 2 次元分布を可視化した。実際に SiO₂/SiC 界面を測定し、マクロな DLTS の結果と矛盾しない結果が得られることが分かり、局所 DLTS により界面トラップを測定できることが確認された。更に 2 次元分布を時定数別に詳しく調べたところ時定数により信号の 2 次元分布が異なることが明らかになった。即ちエネルギー深さにより空間分布が異なり、物理的起源の異なるトラップが分布する可能性を示唆する結果が得られた。

本講演では SNDM 及び SHO-SNDM から始めて、それを発展させた局所 DLTS 法の原理をまず解説し、更に本手法を SiO₂/SiC MOS 界面に適用して界面トラップの 2 次元分布の評価を行った一連の研究成果について解説する。