

三端子変位電流測定による C_{60} 電界効果トランジスタの劣化観察Degradation process of C_{60} field-effect transistor

observed by three terminal displacement current measurement

千葉大融合理工¹, 千葉大先進², 千葉大 MCRC³ ○森 優貴¹, 田中 有弥^{1,2}, 石井 久夫^{1,2,3}Graduate School of Science and Engineering Chiba Univ.¹, CFS Chiba Univ.², MCRC Chiba Univ.³○Yuki Mori¹, Yuya Tanaka^{1,2}, Hisao Ishii^{1,2,3}E-mail: y-tanaka@chiba-u.jp

【はじめに】有機電界効果トランジスタ(OFET)は、フレキシブル性、軽量性など様々な利点があるが、素子の動作寿命が短く、大気安定性が低いなど問題点が残されている。これらは主に電荷のトラップに起因していると考えられるが、トラップの形成過程やメカニズムは完全に理解されていない。変位電流評価法(DCM)は、三角波電圧としてゲート電圧 V_{GS} を印加し、その応答電流 I_{dis} を掃引速度で規格化して素子容量-電圧(C - V)波形を得る手法である。これより劣化に伴うキャリアの注入、蓄積、チャネル形成過程の変化を観測できる。本研究では、ソース、ドレイン電極下の電荷の蓄積過程を分離して観測できる三端子変位電流評価法(TT-DCM) [1,2]を適用し、定電圧駆動に伴う OFET の劣化観察を行った。

【実験】有機層として C_{60} を使用し、トップコンタクト型 FET[p⁺-Si/SiO₂(300 nm)/TTC(15 nm)/ C_{60} (100 nm)/Au(100 nm)]を作製した。定電圧駆動は窒素下、暗状態で $V_{GS} = 40$ V、 $V_{DS} = 16.98$ Vにて行った。電気特性と TT-DCM は駆動を一時中断して測定した。また 9531 min 駆動させた後、ソース電極とドレイン電極を入れ替えて伝達特性を測定(逆接続測定)し、その後接続を戻して、TT-DCM を行った。

【結果・考察】Figure1(a)に駆動に伴う伝達特性の変化を示す。9531 min の駆動により 40 V の時の I_{DS} が 35%減少するが、その後逆接続測定を行うことで、40 V の時の I_{DS} が 12%増加し素子性能が回復したことが分かる。ここで初期状態(0 min)の DCM を見てみると $V_{GS} = -20 \sim -5$ V では、素子の幾何容量[Fig. 1(c)]に一致する C_{dep} が観測されており、空乏状態であることが分かる[Fig. 1(b) 領域 I]。次に V_{GS} を増加させると C が増加し、5 V 付近で一定値を取る(領域 II)。この値は Fig. 1(d)の状態で見積もられる C_{cha} に一致しているので、領域 II ではソース電極下及びチャネルへの蓄積が生じていることが分かる。さらに V_{GS} を増加させると再び C が増加し、30 V 以上で一定値 C_{acc} [Fig. 1(e)]なる(領域 III)ことから、この領域では TTC/ C_{60} 界面全体に電子が蓄積したことを示している。

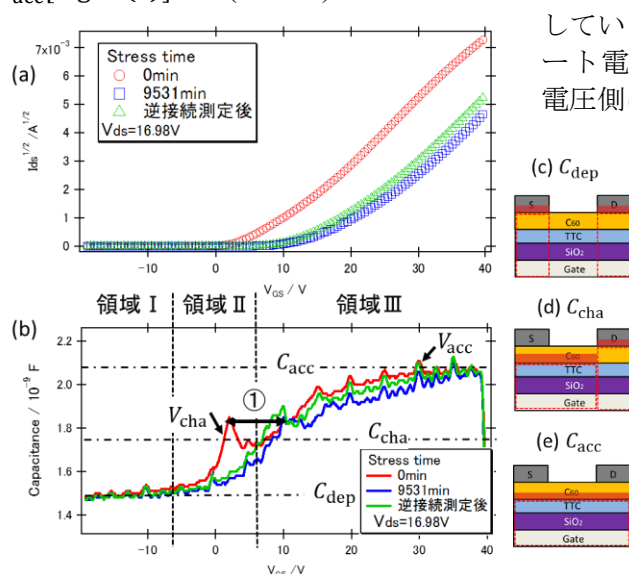


Fig. 1(a) Transfer curves of C_{60} FET. (b) TT-DCM CV curves (forward scan). (c)-(e) Schematic of carrier distribution. The dotted line corresponds to each state capacitance.

定電圧駆動劣化を行うと、 C_{cha} に達するゲート電圧 $V_{GS} = V_{cha}$ 、 C_{dep} に達する電圧 $V_{GS} = V_{acc}$ 正電圧側にシフトするが、特に V_{cha} が①のように大きくシフトする。ここで逆接続測定を行うと、 V_{acc} がほぼ初期状態に戻るのに対し、 V_{cha} は初期状態に比べて正電圧側にシフトしたままであることから、可逆と不可逆な劣化プロセスがあることを示唆し、ソース電極下では、不可逆なプロセスが起きている。講演では、駆動劣化による素子内部でのトラップと素子特性の変化を詳しく議論し、素子のトラップの放出による特性の回復についても議論する予定である。

[1] Y. Tanaka *et al.*, *Organic Electronics*, 14(10), (2013)

[2] Y. Tanaka *et al.*, *MRS Advances* 1, 1-6 (2017)