p 型結晶シリコン太陽電池の PID 試験時の pn 接合部へのバイアス印加効果

Effect of bias application to pn junction during PID test for p-type crystalline silicon

産総研　°城内　紗千子，棚橋　紀悟，柴田　肇，増田　淳

National Institute of Advanced Industrial Science and Technology (AIST)

°Sachiko Jonai, Tadanori Tanahashi, Hajime Shibata, Atsushi Masuda

E-mail: s-jounai@aist.go.jp

はじめに：太陽光発電システムの出力が短期間で大幅に低下する Potential Induced Degradation (PID)現象は、モジュール表面のカバーガラスからセルへ拡散する Na が主要因とされている [1]。積層欠陥に Na などの不純物準位を形成することにより、シャント抵抗の劣化を引き起こし、効率を低下させると報告されている[2]。 PID のメカニズム解明に向けて進捗はあるものの、p-n 接合への Na イオンのドリフトの影響はいまだ完全には理解されていない。本研究では、バンド構造の変化や空乏層幅の変化が Na のドリフトに影響するかどうかを明らかにするため、PID 試験中に pn 接合に直接バイアスを印加し影響を調べた。PID 回復試験も同様に行った。

実験：PID 試験の模式図を Fig. 1 に示す。モジュールのカバーガラス表面上にアルミ板を密着させ、85℃の温度条件下（相対湿度は 2%以下）、アルミ板からシリコンセルに対して-1000 V の電圧をかけながら p-n 接合部にバイアスを印加することにより行った。回復試験は、アルミ板からシリコンセルに対して+1000V の電圧を印加・pn 接合部にバイアスを印加することにより行った。PID 試験・PID 回復後、I-V 特性ならびに EL 特性を評価した。

結果と考察： Fig. 2 は、PID 試験前の値を 1 として規格化した PID 試験後のパラメータを示す。PID 試験中に p-n 接合に順バイアスを印加した場合、バイアス電圧が高いほど PID が起こりにくく、FF の劣化が小さい。 一方、逆バイアスを印加した場合、バイアス電圧が高いほど、Voc と FF が大幅に低下し PID が加速されていることが分かる。このことより、PID 試験中に p-n 接合に順バイアスを印加すると、Na イオンのドリフトを抑制することができ、逆バイアス印加は、Na イオンのドリフトを促進していることが考えられる。一方、PID 回復試験では、順バイアス印加により回復が抑制され、逆バイアス印加で回復が加速された。

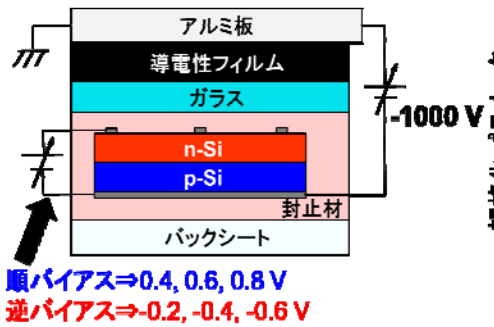

Figure 1 PID 試験模式図

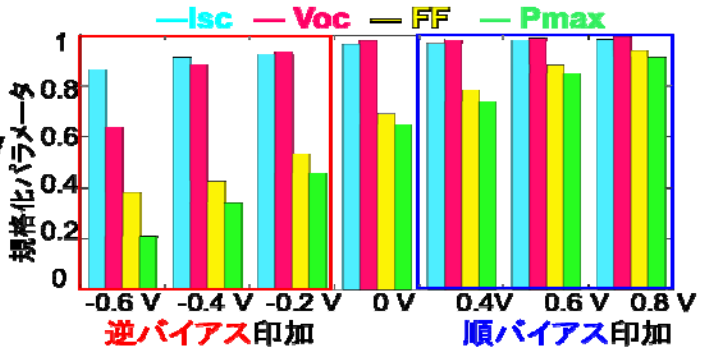

Figure 2 PID 試験後の規格化パラメータ

References
[1] P. Hacke *et al.*: Proc. 37th IEEE PVSC, pp. 814-820 (2011).
[2] V. Naumann *et al.*: Sol. Energy Mater. Sol. Cells, **120**, 383-389 (2014).

謝辞：本研究は NEDO からの委託を受けて実施されたものであり、関係各位に感謝いたします。