

金ナノ粒子含有 Junctionless FET および Intrinsic FET の電気特性評価

Electric Characteristic of Junctionless FET or Intrinsic FET Embedding Gold Nanoparticles

龍谷大¹, 産総研², 奈良先端大³ ○番 貴彦¹, 右田 真司², 山下 一郎³, 浦岡 行治³, 山本 伸一¹

Ryukoku University¹, AIST², NAIST³ ○Takahiko Ban¹, Shinji Migita²,

Ichiro Yamasita³, Yukiharu Uraoka³, Shin-ichi Yamamoto¹

E-mail: t-ban@rins.ryukoku.ac.jp

【背景と目的】

半導体素子の高性能化の指針の一つに微細化があり、現在はシングルナノオーダーのチャネル長も持つ次世代の素子研究が行われている。特に微細領域を持つ FET では不純物濃度の偏りや、作製の困難さから pn 接合を持たない junctionless-FET (JL-FET) や、不純物濃度を減少させた Intrinsic-FET が用いられている。しかし、このような sub-10 nm の素子は作製が困難であり、精密にナノ制御された素子による物性・機能の実験的解明が難しい。この問題に対し右田らはウェットエッチングによって短チャネルを形成する V 溝型の JL-FET を考案し問題解決を図った。V 溝型 JL-FET は SOI 基板を特異的にウェットエッチングすることで得られるチャネル長 3 nm のトランジスタである。我々は、この JL-FET が V 溝という特殊な形状を有することから、ナノ粒子を V 溝底部に選択的に配置することで仕事関数の違いや電界集中の影響など種々の効果を微細チャネルに与えられることに着目した。本研究は、この V 溝型 JL-FET および同構造を持つ Intrinsic-FET を用い、ナノ粒子をフローティングゲートとして配置し、メモリ効果等の電荷保持による微細チャネルへの影響を調査することを目的とする。

【実験および結果】

V 溝底部へナノ粒子を吸着させるために、図 1 に示すようなフェリチンと呼ばれる内径 7 nm、外径 12 nm の球殻上タンパク質を利用した。フェリチンは内部に無機物を析出させる能力を持ち、様々なナノ粒子を形成することができる。本研究では AuS ナノ粒子を内部に持つフェリチンを用いた。フェリチンが基板に吸着しない溶液条件においてフェリチン溶液を基板に滴下後、スピンドライを行った。図 2 に V 溝上に配置したナノ粒子の SEM 像を示す。溶液の蒸発過程において溝底部の溶液が最後に蒸発するため溝底部にナノ粒子配列が形成されると考えられる。フェリチン吸着後、UV オゾン処理によりタンパク質を除去した。絶縁膜として ALD により Al_2O_3 膜を堆積し、Pt/TiN 電極を蒸着により堆積した。図 3 に Intrinsic-FET (p 型) の I_d - V_g 特性を示す。AuS ナノ粒子はアニールにより Au ナノ粒子に戻ることが報告されており、図 3 にみられるメモリウィンドウの開きは、金属のナノ粒子に電荷が蓄積されたことによる示していると考えられる。また JL-FET においても同様にメモリウィンドウが確認されている。

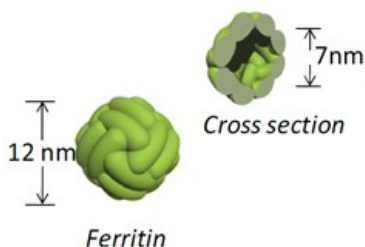


図 1 フェリチンの概要図

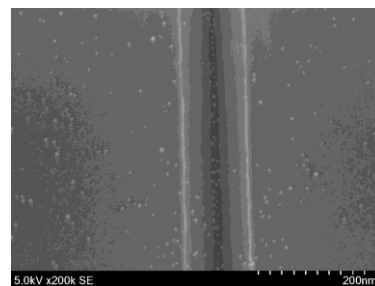


図 2 金ナノ粒子 1 次元配列
(UV/O₃処理を 115°C1 時間)

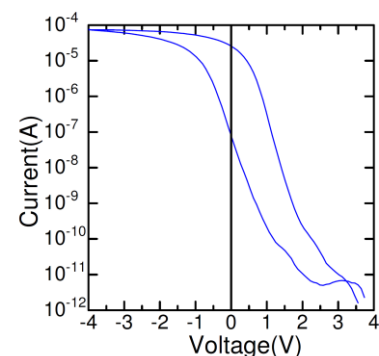


図 3 Intrinsic 型金ナノ粒子含有 V 溝型 FET(p-type) の I_d - V_g 特性